



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Hajime Kimura et al. Art Unit : 2855
Serial No. : 10/650,080 Examiner : Unknown
Filed : August 28, 2003 Confirmation No.: 7214
Title : CURRENT SOURCE CIRCUIT, DISPLAY DEVICE USING THE SAME AND
DRIVING METHOD THEREOF

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicants hereby confirm their claim of priority under 35 USC §119 from the following application:

Japan Application No. 2002-256001 filed August 30, 2002

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: February 5, 2004



John F. Hayden
Reg. No. 37,640

Customer No. 26171
Fish & Richardson P.C.
1425 K Street, N.W., 11th Floor
Washington, DC 20005-3500
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 8月30日
Date of Application:

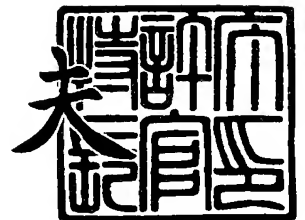
出願番号 特願2002-256001
Application Number:
[ST. 10/C]: [JP 2002-256001]

出願人 株式会社半導体エネルギー研究所
Applicant(s):

2003年 9月 2日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 P006582

【提出日】 平成14年 8月30日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 木村 肇

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 犬飼 和隆

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電流源回路及びそれを用いた表示装置、並びにそれらの駆動方法

【特許請求の範囲】**【請求項 1】**

複数のトランジスタと

前記複数のトランジスタの接続を直列又は並列に切り替える手段と、

前記複数のトランジスタを介して入力される第 1 の電流を電圧に変換する手段と

、
前記変換された電圧を保持する手段と、

前記保持された電圧を第 2 の電流に変換する手段と、

前記変換された第 2 の電流を駆動対象に供給する手段と、を有することを特徴とする電流源回路。

【請求項 2】

複数のトランジスタと

前記複数のトランジスタの接続を直列又は並列に切り替える手段と、

前記複数のトランジスタを介して入力される第 1 の電流を電圧に変換する手段と

、
前記変換された電圧を保持する手段と、

前記保持された電圧を第 2 の電流に変換する手段と、

前記変換された第 2 の電流を駆動対象に供給する手段と、を有する電流源回路であって、

前記駆動対象に電流を供給するときには前記複数のトランジスタの接続を直列とし、

前記第 1 の電流を電圧に変換するときには前記複数のトランジスタの接続を並列とすることを特徴とする電流源回路。

【請求項 3】

第 1 トランジスタ及び第 2 トランジスタと、

前記第 1 トランジスタ及び第 2 トランジスタのゲート電極に接続される容量素子

と、

前記容量素子の一方に接続される電源線と、

前記容量素子の他方に接続される電流線と、

前記容量素子に保持される電荷を電流として駆動対象に供給する手段と、を有することを特徴とする電流源回路。

【請求項 4】

請求項 3 又は 4 において、前記第 1 トランジスタ及び第 2 トランジスタは p チャネル型の薄膜トランジスタからなることを特徴とする電流源回路。

【請求項 5】

請求項 3 又は 4 において、前記第 1 トランジスタ及び第 2 トランジスタは単結晶、S O I 又は有機トランジスタからなることを特徴とする電流源回路。

【請求項 6】

第 1 トランジスタ、第 2 トランジスタ及び第 3 トランジスタと、

前記第 1 トランジスタ、第 2 トランジスタ及び第 3 トランジスタのゲート電極に接続される容量素子と、

前記容量素子の一方に接続される電源線と、

前記容量素子の他方に接続される電流線と、

前記容量素子に保持される電荷を電流として駆動対象に供給する手段と、を有することを特徴とする電流源回路。

【請求項 7】

請求項 6 又は 7 において、前記第 1 トランジスタ、第 2 トランジスタ及び第 3 トランジスタは p チャネル型の薄膜トランジスタからなることを特徴とする電流源回路。

【請求項 8】

請求項 6 又は 7 において、前記第 1 トランジスタ、第 2 トランジスタ及び第 3 トランジスタは単結晶、S O I 又は有機トランジスタからなることを特徴とする電流源回路。

【請求項 9】

発光素子と、発光素子へ電流を供給する電流源回路を有する表示装置であって、

前記電流源回路は、
複数のトランジスタと
前記複数のトランジスタの接続を直列又は並列に切り替える手段と、
前記複数のトランジスタを介して入力される第1の電流を電圧に変換する手段と
、
前記変換された電圧を保持する手段と、
前記保持された電圧を第2の電流に変換する手段と、
前記変換された第2の電流を発光素子に供給する手段と、を有することを特徴と
する表示装置。

【請求項10】

走査線と、
デジタル信号が入力される信号線と、
前記走査線及び前記信号線の交差位置に設けられた発光素子と、
前記発光素子へ電流を供給する電流源回路を有する表示装置であって、
前記電流源回路は、
複数のトランジスタと
前記複数のトランジスタの接続を直列又は並列に切り替える手段と、
前記複数のトランジスタを介して入力される第1の電流を電圧に変換する手段と
、
前記変換された電圧を保持する手段と、
前記保持された電圧を第2の電流に変換する手段と、
前記変換された第2の電流を発光素子に供給する手段と、を有することを特徴と
する表示装置。

【請求項11】

第1トランジスタ及び第2トランジスタと、前記第1トランジスタ及び第2トラ
ンジスタのゲート電極に接続される容量素子と、前記容量素子に接続される電流
線及び電源線と、を有する電流源回路の動作方法であって、
前記電源線から供給される電流が並列接続状態にある第1トランジスタ及び第2
トランジスタを介して前記電源線へ流れ、

前記電源線から直列接続状態にある第1トランジスタ及び第2トランジスタを介して駆動対象へ電流を供給することを特徴とする電流源回路の駆動方法。

【請求項12】

第1トランジスタ及び第2トランジスタと、前記第1トランジスタ及び第2トランジスタのゲート電極に接続される容量素子と、前記容量素子に接続される電流線及び電源線と、を有する電流源回路の動作方法であって、

前記第1トランジスタ及び第2トランジスタへ設定動作を行うときには前記第1トランジスタ及び第2トランジスタを並列接続状態とし、

前記第1トランジスタ及び第2トランジスタから駆動対象へ電流を供給する時には前記第1トランジスタ及び第2トランジスタを直列接続状態とすることを特徴とする電流源回路の駆動方法。

【請求項13】

第1トランジスタ及び第2トランジスタと、前記第1トランジスタ及び第2トランジスタのゲート電極に接続される容量素子と、前記容量素子に接続される電流線及び電源線と、を有する電流源回路の動作方法であって、

前記容量素子に電流が流れ、電荷が保持されることにより、前記容量素子は所定の電圧を流す能力を有し、

前記所定の電圧に基づく電流を並列接続状態にある前記第1トランジスタ及び第2トランジスタに供給することにより、前記トランジスタは所定の電流を流す能力を有し、

前記所定の電流を直列接続状態にある前記第1トランジスタ及び第2トランジスタを介して駆動対象へ供給することを特徴とする電流源回路の駆動方法。

【請求項14】

第1トランジスタ及び第2トランジスタと、前記第1トランジスタ及び第2トランジスタのゲート電極に接続される容量素子と、前記容量素子に接続される電流線及び電源線と、を有する電流源回路と、前記第2のトランジスタの一方の電極に接続される発光素子とを有する表示装置の動作方法であって、

前記容量素子に電流が流れ、電荷が保持されることにより、前記容量素子は所定の電圧を流す能力を有し、

前記所定の電圧に基づく電流を並列接続状態にある前記第 1 トランジスタ及び第 2 トランジスタに供給することにより、前記トランジスタは所定の電流を流す能力を有し、

前記所定の電流を直列接続状態にある前記第 1 トランジスタ及び第 2 トランジスタを介して発光素子へ供給することを特徴とする表示装置の駆動方法。

【請求項 1 5】

複数の走査線と、

デジタル信号が入力される複数の信号線と、

前記走査線及び前記信号線のそれぞれの交差位置に設けられた発光素子と、

前記発光素子へ電流を供給する電流源回路を有する表示装置の駆動方法であって

、

前記信号線へ入力されるビデオ信号の同期タイミングに対応する単位フレーム期間は m (m は 2 以上の自然数) 個のサブフレーム期間 $S F 1$ 、 $S F 2$ 、 \dots 、 $S F m$ を有し、前記 m 個のサブフレーム期間 $S F 1$ 、 $S F 2$ 、 \dots 、 $S F m$ の少なくとも一つは消去期間を有し、

前記消去期間において前記電流源回路へ設定動作を行うことを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、画素毎に発光素子及びトランジスタが設けられ、各トランジスタにより画素の発光を制御する電流源回路、それらを有するアクティブマトリクス型の表示装置並びにその駆動方法に関する。より詳しくは、発光素子として EL (エレクトロルミネッセンス) 素子を用いるアクティブマトリクス型 EL 表示装置に関する。

【0 0 0 2】

【従来の技術】

近年、画素毎に発光素子及び発光素子の発光を制御するトランジスタを配置したアクティブマトリクス型の表示装置が提案されている。このような表示装置

は、応答性に優れ、低電圧で動作し、また視野角が広い等の利点を有するため、次世代のフラットパネルディスプレイとして注目されている。

【0003】

ところで、発光素子を用いた発光装置に多階調の画像を表示するときの駆動方法としては、アナログ階調方式（アナログ駆動方式）とデジタル階調方式（デジタル駆動方式）が挙げられる。両方式の相違点は、発光素子の発光、非発光のそれぞれの状態において該発光素子を制御する方法にある。前者のアナログ階調方式は、発光素子に流れるビデオ信号の電流をアナログ的に制御して階調を得るという方式である。また後者のデジタル階調方式は、発光素子がオン状態（輝度がほぼ100%である状態）と、オフ状態（輝度がほぼ0%である状態）の二つの状態のみによって駆動するという方式である。

【0004】

また発光素子を用いた画素に入力するビデオ信号（映像信号）の種類によって大まかに二つに分類することができ、そのうちの一つは、信号電流で行う手法（電流入力方式）であり、もう一つは電圧で制御する手法（電圧入力方式）とがある。

【0005】

ここで表示装置において、電流入力方式を適用した画素の回路構成の一例とその駆動方法について、図18を用いて簡単に説明する。図18に示した画素は、信号線1801、第1～第3の走査線1802～1804、電源線1805、トランジスタ1806～1809、容量素子1810、発光素子1811を有し、電流源回路1812は、信号線に設けられている。

【0006】

トランジスタ1806のゲート電極は、第1の走査線1802に接続され、第1の電極は信号線1801に接続され、第2の電極は、トランジスタ1807の第1の電極、トランジスタ1808の第1の電極、及びトランジスタ1809の第1の電極に接続されている。トランジスタ1807のゲート電極は、第2の走査線1803に接続され、第2の電極はトランジスタ1808のゲート電極に接続されている。トランジスタ1808の第2の電極は、電源線1805に接続さ

れている。トランジスタ1809のゲート電極は、第3の走査線1804に接続され、第2の電極は発光素子1811の一方の電極に接続されている。容量素子1810はトランジスタ1808のゲート電極と第2の電極との間に接続され、トランジスタ1808のゲート・ソース間電圧を保持する。電源線1805および発光素子1811の陰極には、それぞれ所定の電位が入力され、互いに電位差を有する。

【0007】

次にビデオ信号の書き込みから発光までの動作について説明する。まず、第1の走査線1802および第2の走査線1803にパルスが入力され、トランジスタ1806、1807がオンする。このとき、信号線1801を流れる信号電流（ビデオ信号）を I_{data} とし、 I_{data} は電流源回路1812から供給される。

【0008】

容量素子1810においては、その両電極の電位差、つまりトランジスタ1808のゲート・ソース間電圧が所望の電圧、つまりトランジスタ1808が電流 I_{data} を流すことが出来るだけの電圧(V_{GS})になるまで電荷が蓄積される。やがて電荷の蓄積が終了すると、トランジスタ1808には、信号電流 I_{data} が流れ続ける。以上で信号の設定動作が完了する。最後に第1の走査線1802及び第2の走査線1803の選択が終了し、トランジスタ1806、1807がオフする。

【0009】

続いて、発光動作について説明する。第3の走査線1804にパルスが入力され、トランジスタ1809がオンする。容量素子1810には、先ほど書き込まれた V_{GS} が保持されているため、トランジスタ1808はオンしており、電源線1805から、電流が流れ、発光素子1811が発光する。よってトランジスタ1808の特性がばらついていても、その影響を除去することができる。

【0010】

上述したように電流入力方式の画素の回路構成は他に、米国特許代6,229,506号や特開2001-147659号公報に報告されている。

【0011】

【発明が解決しようとする課題】

以上のような電流入力方式の画素の回路構成では、画素に書き込む信号電流（ビデオ信号）の電流値と発光素子を発光させるときの駆動電流値とが同程度となってしまう。しかし、表示装置の画素部に設けられた信号線等に多量の寄生容量（配線交差容量等）や配線対向が生じてしまうため、信号電流（ビデオ信号）はある程度大きな電流値としなければ、正確に設定動作を行うのに時間がかかってしまう。それに対して、発光素子を発光させるときの駆動電流は非常に小さな電流値であった。そのため、正確に設定動作を行うことが難しかった。よって、トランジスタ 1808 の電氣的特性のバラツキの影響が生じてしまった。つまり発光素子に流れる電流がバラツキ、表示ムラとして現れてしまった。

【0012】

また特にアナログ階調方式で表示を行う場合、各画素で表示を行う毎に、階調に応じた大きさの信号電流を画素へ書き込む必要があり、信号電流に応じた電荷を各画素の容量部（保持容量）に保持し直す必要がある。そのため画素に供給される信号電流が小さな場合、つまり輝度が小さい場合は、正確に設定動作を行うことが困難となり、更に信号電流の書き込みが行われる画素以外の、同じソース信号線に接続された複数の画素による漏れ電流等のノイズの影響が大きく、正確な輝度で画素を発光させることができないことがあった。

【0013】

従って、ビデオ信号の電流値と駆動電流値とを、同一としなくてはならないという点は、厳しい制約となってしまった。

【0014】

一方、電圧入力方式でトランジスタをスイッチとしてデジタル的に制御する（デジタル階調方式）場合、発光状態となっている発光素子には一定の電圧が印加される。しかしながら、発光素子へ印加される電圧と流れる電流値との関係は、周囲の温度や発光素子の劣化等の影響により変化する。そのため、発光素子の両電極間に一定の電圧を印加している場合でも、実際に流れる電流が変化してしまった。その結果、画面の焼き付き等が生じてしまった。

【0015】

本発明は、上記課題を鑑みてなされたものであり、画素が有するトランジスタのバラツキの影響が低減される表示装置を提供することを課題とする。更に本発明は、発光素子を、劣化等による電流特性の変化によらず一定の輝度で発光させることが可能な表示装置を提供することを課題とする。

【0016】

【課題を解決するための手段】

そこで本発明は、上記課題を解決するために、表示装置において、各画素は電流源回路とビデオ制御用スイッチと発光素子とを有することを特徴としている。ビデオ制御用スイッチは、ビデオ信号によりオン・オフが制御される。それにより、電流源回路から流れる電流が発光素子へ流れるか否かが制御される。その結果、階調が表現され、画像として表示される。なお、発光素子と電流源回路とビデオ制御用スイッチとは、電源基準線と電源線の間直列に接続されていればよく、それらの接続位置は適宜設定すればよい。そして、電流源回路が一定の電流を出力できるように、発光素子に接続されるトランジスタに I_{data} が流れるようにする。これを設定動作と呼ぶ。そして、電流源回路を複数のトランジスタにより構成し、電流源回路への設定動作を行うときには複数のトランジスタを並列接続状態とし、発光素子が発光させるときには複数のトランジスタを直列接続状態とすることを特徴としている。

【0017】

なお、発光素子とは流れる電流により輝度に変化する電気光学素子、第1の電極及び第2の電極間に発光層を含む素子と表記することができる。

【0018】

このように、接続状態を切り替えることにより、電流源回路に流す電流値を大きくすることができる。その結果、より正確に短時間で設定動作を行うことができる。

【0019】

上記本発明の構成を、図1を用いて具体的に説明する。図1(A)に示す画素は、信号線101、第1走査線102、電源線103、第1スイッチ111、第2スイッチ112、第1スイッチ111に接続されたメモリ113、第2スイッ

チ 1 1 2 に接続される電流源回路 1 1 4、第 2 スイッチ 1 1 2 に接続される発光素子 1 1 5、電源基準線 1 1 6、を有している。第 1 スイッチ 1 1 1、第 2 スイッチ 1 1 2 には、トランジスタ等のスイッチング機能を有する半導体素子を単数又は複数個用いることができる。なお本発明において、スイッチング機能を有するトランジスタは、n 型又は p 型のどちらを用いても構わない。

【0020】

第 1 のスイッチ 1 1 1 は、第 1 走査線 1 0 2 によりオン・オフを制御され、メモリ 1 1 3 は第 1 のスイッチ 1 1 1 がオンのとき信号線 1 0 1 からビデオ信号が入力され、それを保持する。そして、このビデオ信号に基づいて第 2 のスイッチ 1 1 2 を制御している。そして第 2 のスイッチ 1 1 2 がオンとなると、電流源回路 1 1 4 より信号電流が発光素子 1 2 0 へ供給される。

【0021】

図 1 (B) には電流源回路 1 1 4 の構成を示す。電流源回路 1 1 4 は、第 1 スイッチ 1 2 0、第 2 スイッチ 1 2 1、駆動用素子 1 2 2 を有している。第 1 スイッチ 1 2 0、第 2 スイッチ 1 2 2 には、トランジスタ等のスイッチング機能を有する半導体素子を単数又は複数個用いることができる。同様に駆動用素子 1 2 2 にもトランジスタ等の半導体素子を複数個用いることができる。第 1 スイッチ 1 2 0 及び第 2 スイッチ 1 2 2 は、第 2 走査線 1 2 3 によりオン・オフを制御される。

【0022】

第 1 スイッチ 1 2 0 及び第 2 スイッチ 1 2 1 を、第 2 走査線 1 2 3 からの信号によりオン・オフを制御することが、駆動用素子 1 2 2 の複数のトランジスタを並列接続状態と直列接続状態とを切り替える手段となっている。なお本発明において、第 1 スイッチ 1 2 0 及び第 2 スイッチ 1 2 1 を構成するトランジスタは、n 型又は p 型のどちらを用いても構わない。

【0023】

そして信号電流の設定動作を行うときには駆動用素子 1 2 2 のトランジスタを並列接続状態とし、発光素子を発光させるときには駆動用素子 1 2 2 のトランジスタを直列接続状態とすることを特徴としている。

【0024】

本発明により、発光素子を劣化等による電流特性の変化によらず一定の輝度で発光させることができる。更に本発明により、電流源回路を設定するための電流値が発光素子を発光させるときの駆動電流よりも大きくできるため、設定動作速度を向上させることができる。

【0025】

また電流源回路は、一定の電流を出力するため、トランジスタのバラツキの影響を低減する事ができる。またビデオ信号は、電流源回路を設定するための電流とは、別の信号であるため、各々を独立して制御できる。つまり電流源回路は、一定の電流を流すだけであり、ビデオ信号により電流値は変化しない。従って設定動作は、任意の時に、任意の周期で行うことができる。

【0026】

以上のような本発明により、正確な階調が表現可能であり、表示ムラの低減された表示装置を提供することができる。

【0027】**【発明の実施の形態】**

以下に、本発明の実施の形態を図面に基づいて説明する。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0028】

また以下の実施の形態において、トランジスタはゲート、ソース、ドレインの3端子を有するが、ソース電極、ドレイン電極に関しては、トランジスタの構造上、明確に区別が出来ない。よって、素子間の接続について説明する際は、ソース電極、ドレイン電極のうち一方を第1の電極、他方を第2の電極と表記する。

【0029】**(実施の形態1)**

本実施の形態では、電流源回路の具体的な構成について説明する。

【0030】

図22には、電流源回路の駆動用素子が二つのトランジスタを備える場合の回

路構成を示す。

【0031】

図22に示す電流源回路は、第1トランジスタ21、第2トランジスタ22、容量素子23、発光素子24、電流線25、電源線26を有している。また第1トランジスタ及び第2トランジスタのゲート容量が大きく、各トランジスタからのリーク電流が許容範囲である場合、容量素子は設ける必要はない。なお、第1トランジスタ及び第2トランジスタを電流源トランジスタと表記し、極性はpチャネル型であるとする。

【0032】

そして、図22(i)には設定動作を行うときの、電流源回路及び流れる電流経路を示す。また、図22(ii)、(iii)には発光を行うときの、電流源回路及び流れる電流経路を示す。図22(ii)と(iii)は、電流の流れる向きが異なるだけであり、接続が異なる。しかし本質的には両者は同一である。

【0033】

本発明は、図22(i)、(ii)及び(iii)に示すように、設定時に第1トランジスタ21及び第2トランジスタ22との接続が並列接続状態となり、発光時に第1トランジスタ21及び第2トランジスタ22との接続が直列接続状態となることを特徴とする。そのため、本発明は設定時及び発光時において、それぞれ図22(i)、(ii)及び(iii)に示すように電流が流れる限り、各スイッチはどこに設けてもよい。

【0034】

具体的には駆動用のトランジスタは、設定時と発光時に次の条件を満たすように設ければよい。まず設定時において、ビデオ信号により制御されるトランジスタ(駆動用のトランジスタ)のオン・オフにかかわらず、図22(i)に示すように電流が流れることが必要である。且つ発光時(ビデオ信号がオンのとき)図22(ii)又は(iii)に示すように電流が流れ、ビデオ信号がオフのとき図22(ii)又は(iii)に示すように電流が流れない(電流のパスが切れる)必要がある。

【0035】

また本発明において消去用のトランジスタは発光素子を非点灯状態としたいときに、電流のパスが切れるように設ければよい。電流のパスの切り方は、消去用のトランジスタで切ってもよいし、駆動用のトランジスタがオフとなるように消去用のトランジスタを設けてもよい。

【0036】

次に図2（A）に、スイッチを設けた具体的な電流源回路を示す。図2（A）の電流源回路は、電流線201、電源線202、走査線203、第1トランジスタ211、第2トランジスタ212、容量素子213、第1から第4スイッチ214～217を有し、第1から第4スイッチ214～217は走査線203により制御されている。なお、各スイッチ分走査線203を設けるよう示すが、スイッチを構成するトランジスタの極性を工夫して、各々の走査線を共有して、配線数を低減することができる。

【0037】

以下に、図2（A）の電流源回路の接続関係を説明する。なお、第1トランジスタ211及び第2トランジスタ212の極性はpチャネル型であるとする。

【0038】

第1トランジスタ211のゲート電極と第2トランジスタ212のゲート電極とは接続され、電流源として動作させる電流源トランジスタを構成している。第1スイッチ214は、電流線201及び電源線202とに接続され、第1トランジスタ211及び第2トランジスタ212のゲート電極と電源線202との間に設けられた容量素子213への電流の供給を制御するように設けられている。第1トランジスタ211の第1の電極は電源線202に接続され、第2の電極は第3スイッチ216を介して電流線201に接続されている。第2トランジスタ212の第1の電極は第2スイッチ215を介して電源線202に接続され、第2の電極は第1トランジスタ211の第2の電極と接続されている。第2トランジスタ212の第1の電極と発光素子との間には第4スイッチ217が接続されている。

【0039】

また図2（A）とは別の電流源回路を図2（B）に示す。図2（B）の電流源

回路は、図 2 (A) の電流源回路と異なり第 1 トランジスタ 211 の第 1 の電極と、第 2 トランジスタ 212 の第 1 の電極とが接続されている。そのため図 2 (B) の電流源回路は、更に第 5 から第 7 スイッチ 218 ~ 220 が設けられている。

【0040】

つまり図 2 (B) の電流源回路は、電流線 201、電源線 202、走査線 203、第 1 トランジスタ 211、第 2 トランジスタ 212、容量素子 213、第 1 から第 4 スイッチ 214 ~ 217 に加え、第 5 から第 7 スイッチ 218 ~ 220 を有し、第 1 から第 7 のスイッチは走査線 203 により制御されている。なお、各スイッチ分走査線 203 を設けるよう示すが、スイッチを構成するトランジスタの極性を工夫して、各々の走査線を共有して、配線数を低減することができる。

【0041】

以下に、図 2 (B) の電流源回路の接続関係について、図 2 (A) と異なる部分を説明する。なお、第 1 トランジスタ 211 及び第 2 トランジスタ 212 の極性は p チャネル型であるとする。

【0042】

第 5 スイッチ 218 は、第 1 トランジスタ 211 の第 2 の電極と電源線 202 との間に接続されている。第 6 スイッチ 219 は、第 1 トランジスタ 211 の第 1 の電極と電源線 202 との間に接続されている。第 7 スイッチ 220 は第 1 トランジスタ 211 の第 2 の電極と、第 2 トランジスタ 212 の第 2 の電極との間に接続されている。そして図 2 (A) の電流源回路と異なり、第 4 スイッチ 217 は第 2 トランジスタ 212 の第 2 の電極と発光素子との間に設けられている。

【0043】

次に、図 2 (A) 及び (B) に示す電流源回路の動作について説明する。

【0044】

図 3 には、図 2 (A) の電流源回路における、(i) 設定時及び (ii) 発光時の各トランジスタや各スイッチの状態を示す。また、点線又は実線の矢印は電流経路を示している。

【0045】

最初に、電流の設定時の動作について、図3 (i) を用いて説明する。なお、第1トランジスタ211及び第2トランジスタ212の極性はpチャネル型であるとする。

【0046】

まず走査線203により第1スイッチ214、第2スイッチ215、第3スイッチ216がオンとなり、第4スイッチ217はオフとなる。すると、点線で示すように電源線202→容量素子213→電流線201の順に電流が流れ始め、容量素子213に電荷が蓄積、保持される。そして容量素子213は、蓄積される電荷に基づく電圧を供給することができる。そして、蓄積される電荷に基づく電圧が第1トランジスタ211及び第2トランジスタ212のしきい値 (V_{th}) を超えると、各スイッチにより並列接続状態となっている第1トランジスタ211及び第2トランジスタ212へ、実線の矢印のように電流が流れる。このときに、第1トランジスタ211及び第2トランジスタ212は、ある一定の信号電流 (I_{data}) を供給するように設定される。

【0047】

その後、図3 (ii) に示す発光状態 (発光時) となる。まず、走査線203により、第1スイッチ214、第2スイッチ215、第3スイッチ216がオフとなり、第4スイッチ217はオンとなる。すると、直列接続状態となっている第1トランジスタ211及び第2トランジスタ212へ、実線の矢印のように電流が流れ、発光素子へ信号電流 (I_{data}) が供給される。

【0048】

次に図4には、図2 (B) の電流源回路における (i) 設定時及び (ii) 発光時の各トランジスタや各スイッチの状態を示す。また、点線又は実線の矢印は電流経路を示している。

【0049】

最初に、電流の設定時の動作について、図4 (i) を用いて説明する。なお、第1トランジスタ211及び第2トランジスタ212の極性はpチャネル型であるとする。

【0050】

図2 (B) は、図2 (A) と異なり第1トランジスタ211の第1の電極と、第2トランジスタ212の第1の電極とが接続され、第5から第7スイッチ218～220が設けられている。そのため図4 (i) の設定時には、図3 (i) 設定時の動作に加えて、走査線203により第5スイッチ218はオフとなり、第6スイッチ219及び第7スイッチ220はオンとなっている。

【0051】

そして図3 (i) と同様、点線で示すように電源線202→容量素子213→電流線201の順に電流が流れ始め、容量素子213に電荷が蓄積、保持される。そして容量素子213は、蓄積される電荷に基づく電圧を供給することができる。そして、蓄積される電荷に基づく電圧がトランジスタのしきい値 (V_{th}) を越えると、並列接続状態となっている第1トランジスタ211及び第2トランジスタ212へ、実線の矢印のように電流が流れる。このときに、第1トランジスタ211及び第2トランジスタ212は、ある一定の信号電流 (I_{data}) を供給するように設定される。

【0052】

その後、図4 (ii) に示すような発光状態 (発光時) となる。このとき図3 (ii) の発光時の動作に加えて、走査線203により第5スイッチ218をオンとなり、第6スイッチ219及び第7スイッチ220はオフとなる。すると、直列接続状態となっている第1トランジスタ211及び第2トランジスタ212へ、実線の矢印のように電流が流れ、発光素子へ供給される。

【0053】

なお、本発明の電流源回路において、各トランジスタや各スイッチの接続関係は図2 (A)、(B) に限定されるものではなく、図22に示すような電流経路となるように適宜設定すればよい。

【0054】

このように、各トランジスタを設定時に並列接続状態とし、発光時には直列接続状態とする手段 (具体的には走査線により制御される各スイッチ) により、発光素子へ供給される電流 I_E が非常に小さな値であっても、設定動作を確実、短

時間に行うことができる。

【0055】

仮に第1トランジスタ211及び第2トランジスタ212とでチャネル形成領域のチャネル長(L)及びチャネル幅(W)が等しいとすると、並列接続状態にはWが2倍になり、Lも2倍になる。従って発光素子へ流れる電流 I_E と、設定動作時に流れる電流 I_{data} は、 $I_E = I_{data} \times 1/2 \times 1/2 = 1/4 \times I_{data}$ となる。

【0056】

また図23には、電流源回路の駆動用素子が三つのトランジスタを備える場合の回路構成を示す。

【0057】

図23に示す電流源回路は、第1トランジスタ31、第2トランジスタ32及び第3トランジスタ33、容量素子34、発光素子35、電流線35、電源線36を有している。なお、第1トランジスタ21、第2トランジスタ22及び第3トランジスタ33の極性はpチャネル型であるとする。

【0058】

そして、図23(i)には設定動作を行うときの、電流源回路及び電流経路を示す。また、図23(ii)、(iii)には発光を行うときの、電流源回路及び電流経路を示す。図23(ii)と(iii)は、電流の流れる向きが異なるだけであり、接続が異なる。しかし本質的には両者は同一である。

【0059】

本発明は、図23(i)、(ii)及び(iii)に示すように、設定時に第1トランジスタ31、第2トランジスタ32及び第3トランジスタ33との接続が並列接続状態となり、発光時に第1トランジスタ31、第2トランジスタ32及び第3トランジスタ33との接続が直列接続状態となることを特徴とする。そのため、本発明は設定時及び発光時において、それぞれ図23(i)、(ii)及び(iii)に示すように電流が流れる限り、各スイッチはどこに設けてもよい。

【0060】

また本発明において駆動用のトランジスタは、設定時と発光時に次の条件を

満たすように設ければよい。まず設定時において、ビデオ信号により制御されるトランジスタ（駆動用のトランジスタ）のオン・オフにかかわらず、図23（i）に示すように電流が流れることが必要である。且つ発光時（ビデオ信号がオンのとき）図23（ii）又は（iii）に示すように電流が流れ、ビデオ信号がオフのとき図23（ii）又は（iii）に示すように電流が流れない（電流のパスが切れる）必要がある。

【0061】

また本発明において消去用のトランジスタは発光素子を非点灯状態としたいときに、電流のパスが切れるように設ければよい。電流のパスの切り方は、消去用のトランジスタで切ってもよいし、駆動用のトランジスタがオフとなるように消去用のトランジスタを設けてもよい。

【0062】

次に図5（A）に具体的な電流源回路を示す。図5（A）の電流源回路は、電流線501、電源線502、走査線503、第1トランジスタ511、第2トランジスタ512、第3トランジスタ513、容量素子214、第1から第8スイッチ521～528を有し、第1から第8スイッチ521～528は走査線503により制御されている。なお、各スイッチ分走査線503を設けるよう示すが、スイッチを構成するトランジスタの極性を工夫して、一つの走査線を共有することができる。

【0063】

以下に図5（A）の電流源回路の接続関係を説明する。なお、第1トランジスタ511、第2トランジスタ512及び第3トランジスタ513の極性はpチャネル型であるとする。

【0064】

第1トランジスタ511のゲート電極と第2トランジスタ512のゲート電極と、第3トランジスタ513のゲート電極は接続され、電流源トランジスタを構成している。第1スイッチ521は、電流線501及び電源線502とに接続され、第1トランジスタ521、第2トランジスタ512及び第3トランジスタ513のゲート電極と電源線502との間に設けられた容量素子514への電流の

供給を制御するように設けられている。第1トランジスタ511の第1の電極は第7スイッチ527を介して電源線502に接続され、第2の電極は第6スイッチ526を介して電流線501に接続されている。更に第1トランジスタ511の第2の電極は第8スイッチ528を介して電源線502と接続されている。第2トランジスタ512の第1の電極は第4スイッチ524を介して電源線502に接続され、第2の電極は第3トランジスタ513の第2の電極と接続され、更に第3スイッチ523を介して電流線501に接続されている。そして、第1トランジスタ511の第1の電極と、第2トランジスタ512の第1の電極とが接続されている。第3トランジスタ513の第1の電極は第2スイッチ522を介して電源線502に接続され、更に第5スイッチ525を介して発光素子と接続されている。

【0065】

また図5（A）とは別の電流源回路を図5（B）に示す。図5（B）の電流源回路は、図5（A）の電流源回路と異なり、第2トランジスタ512の第1の電極と、第3トランジスタ513の第1の電極とが接続されている。そのため、スイッチの数及びスイッチに伴う配線が減っており、より簡単な構成となっている。

【0066】

つまり図5（B）の電流源回路は、電流線501、電源線502、走査線503、第1トランジスタ511、第2トランジスタ512、第3トランジスタ513、容量素子214、第1から第6スイッチ521～526を有し、第1から第6スイッチ521～526は走査線503により制御されている。

【0067】

以下に、図5（B）の電流源回路の接続関係について、図5（A）と異なる部分を説明する。なお、第1トランジスタ511、第2トランジスタ512及び第3トランジスタ513の極性はpチャネル型であるとする。

【0068】

第1トランジスタ511の第1の電極は、スイッチを介さずに電源線502と接続される。また第1トランジスタ511の第2の電極は、第2トランジスタ5

12の第2の電極に接続され、更に第6スイッチ526を介して第3トランジスタ513の第2の電極に接続され、そして更に第3スイッチ523を介して電流源501に接続されている。

【0069】

次に、図5（A）、（B）に示す電流源回路の動作について説明する。

【0070】

図6には、図5（A）の電流源回路における、（i）設定時及び（ii）発光時の各トランジスタや各スイッチの状態を示す。また、点線又は実線の矢印は電流経路を示している。

【0071】

最初に、電流の設定時の動作について、図6（i）を用いて説明する。なお、第1トランジスタ511、第2トランジスタ512及び第3トランジスタ513の極性はpチャネル型であるとする。

【0072】

まず走査線503により第1スイッチ511、第2スイッチ512、第3スイッチ513、第4スイッチ514、第6スイッチ516、第7スイッチ517はオンとなり、第5スイッチ515、第8スイッチ518はオフとなる。すると、点線で示すように電源線502→容量素子514→電流線501の順に電流が流れ始め、容量素子514に電荷が蓄積、保持される。そして容量素子514は、蓄積される電荷に基づく電圧を供給することができる。そして、蓄積される電荷に基づく電圧が第1トランジスタ511、第2トランジスタ512及び第3トランジスタ513のしきい値（ V_{th} ）を超えると、各スイッチにより並列接続状態となっている第1トランジスタ511、第2トランジスタ512及び第3トランジスタ513へ、実線の矢印のように電流が流れる。このときに、第1トランジスタ511、第2トランジスタ512及び第3トランジスタ513は、ある一定の信号電流（ I_{data} ）を供給するように設定される。

【0073】

その後、図6（ii）に示す発光状態（発光時）となる。まず走査線503により第1スイッチ511、第2スイッチ512、第3スイッチ513、第4スイッ

チ 514、第 6 スイッチ 516、第 7 スイッチ 517 がオフとなり、第 5 スイッチ 515、第 8 スイッチ 518 はオンとなる。すると、直列接続状態となっている第 1 トランジスタ 511、第 2 トランジスタ 512 及び第 3 トランジスタ 513 へ、実線の矢印のように電流が流れ、発光素子へ信号電流 (I_{data}) 供給される。

【0074】

次に図 7 には、図 5 (B) の電流源回路における (i) 設定時及び (ii) 発光時の各トランジスタや各スイッチの状態を示す。また、点線又は実線の矢印は電流経路を示している。

【0075】

最初に、電流の設定時の動作について、図 7 (i) を用いて説明する。なお、第 1 トランジスタ 511、第 2 トランジスタ 512 及び第 3 トランジスタ 513 の極性は p チャネル型であるとする。

【0076】

まず走査線 503 により第 1 スイッチ 511、第 2 スイッチ 512、第 3 スイッチ 513、第 4 スイッチ 514、第 6 スイッチ 516、がオンとなり、第 5 スイッチ 515 はオフとなる。すると図 6 と同様、点線で示すように電流が流れ容量素子 514 に電荷が蓄積、保持される。そして容量素子 514 は、蓄積される電荷に基づく電圧を供給することができる。そして、蓄積される電荷に基づく電圧がトランジスタのしきい値 (V_{th}) を越えると、並列接続状態となっている第 1 から第 3 トランジスタ 511 ~ 513 へ実線の矢印のように電流が流れる。このときに、第 1 から第 3 トランジスタ 511 ~ 513 は、ある一定の信号電流 (I_{data}) を供給するように設定される。

【0077】

その後、図 7 (ii) に示すような発光状態 (発光時) となる。このとき、走査線 503 により第 1 スイッチ 511、第 2 スイッチ 512、第 3 スイッチ 513、第 4 スイッチ 514、第 6 スイッチ 516、がオフとなり、第 5 スイッチ 515 はオンとなる。すると、直列接続状態となっている第 1 から第 3 トランジスタ 511 ~ 513 へ、実線の矢印のように電流が流れ、発光素子へ信号電流が供給

される。

【0078】

なお、本発明の電流源回路において、各トランジスタや各スイッチの接続関係は図5（A）、（B）に限定されるものではなく、図23に示すような電流経路となるように適宜設定すればよい。

【0079】

このように、各トランジスタを電流の設定時に並列接続状態とし、発光時には直列接続状態とする手段（具体的には走査線により制御される各スイッチ）により、発光素子へ供給される電流 I_E が非常に小さな値であっても、設定動作を確実、短時間に行うことができる。

【0080】

仮に第1トランジスタ511、第2トランジスタ512、第3トランジスタ513とでチャンネル形成領域のチャンネル長（L）及びチャンネル幅（W）が等しいとすると、並列接続状態にはWが3倍になり、Lも3倍になる。従って発光素子へ流れる電流 I_E と、設定動作時に流れる電流 I_{data} は、 $I_E = I_{data} \times 1 / 3 \times 1 / 3 = 1 / 9 \times I_{data}$ となる。

【0081】

なお、本実施の形態では電流源回路の駆動用素子に用いるトランジスタ数を二つの場合と、三つの場合とを示したが、それ以上のトランジスタを本実施の形態を参照して適宜設けることができることは言うまでもない。

【0082】

以上のように、本発明は各トランジスタが電流の設定時には並列接続状態となるように使用し、発光時には直列接続状態となるように使用することを特徴とする。すなわち本発明は、各トランジスタを電流の設定時には並列接続状態となるようにし、発光時には直列接続状態となるようにする手段を有することを特徴とする。

【0083】

また本発明は、信号電流を設定してから発光素子へ供給するため、駆動用トランジスタはスイッチング素子としてのみ使用することができ、トランジスタの電

氣的特性バラツキを要因とする輝度のバラツキを低減することが可能となる。

【0084】

そして本発明により、各トランジスタの電氣的特性が同一であるならば、電流源トランジスタを構成するトランジスタは二つのときは、設定時の電流値は発光素子へ供給される電流値の4倍（ 2^2 倍）となる。また一般的に、電流源回路におけるトランジスタの数を n 個の場合を考えると、設定時の電流値 I_w と発光素子へ供給される電流値 I_E とは、関係式 $I_w = n^2 I_E$ が成立する。

【0085】

なお、上記関係式が成立するためには、トランジスタが同一の電氣的特性をもつことが条件となる。しかし、トランジスタの電氣的特性が、若干のバラツキを伴っている場合であっても、近似的に関係式が成立するとして扱うことは現実的に可能である。

【0086】

従って本発明では、電流源回路の駆動用素子を複数のトランジスタで構成し、電流を書き込む場合と、発光素子を発光させる場合とで、複数のトランジスタの接続を並列と直列とに切り替えて用いることにより、設定時の電流値 I_w と、発光素子へ供給される発光時の電流値 I_E とを、任意に設定することができる。そのため、非常に小さな I_E であっても、設定動作を確実に行うことができ、更には設定時間を短時間とすることができる。また本発明により、発光素子の輝度バラツキを低減することが可能となる。

【0087】

（実施の形態2）

本実施の形態では、発光時に図22（i i）で示したように電流が流れる電流源回路を備えた具体的な画素構成の例を、図8及び図24を用いて説明する。

【0088】

図8（A）に示す画素は、図22に示す電流源回路を備える画素の一例であり、信号線801、第1走査線802、第2走査線803、第3走査線804、電流線805、電源線806、選択用の第1トランジスタ811、消去用の第2トランジスタ812、駆動用の第3トランジスタ813、発光用の第4トランジスタ

タ 814、電流源トランジスタを構成する電流源用の第 5 トランジスタ 815 及び第 6 トランジスタ 816、保持用の第 7 トランジスタ 817、電流入力用の第 8 トランジスタ 818、切替用の第 9 トランジスタ 819、第 1 保持容量 820、第 2 保持容量 821、発光素子 822、を有している。

【0089】

本発明において、消去用のトランジスタは任意に設ければよく、発光素子を非点灯としたいときに、発光素子へ電流が流れないようにすればどこに設けてもよい。例えば、消去用の第 2 トランジスタ 812 を容量素子 820 の電荷を放電する位置に設けたり、電流が流れる経路において、発光素子 822 へ供給される電流を遮断するように設けたりしてもよい。そして本発明において、電流が流れないように制御する方法は、消去用のトランジスタで制御しても、駆動用のトランジスタで制御するように消去用のトランジスタを設けてもよい。

【0090】

なお、消去用の第 2 トランジスタ 812 は、本発明の画素構成において多階調表示を行う場合、1 フレームを任意の数に分割する時間階調表示を用いるとき、発光素子の発光を任意のタイミングで止める消去期間を設けるために自由に設けられている。よって、発光素子が発光している期間（点灯期間）がアドレス期間よりも長い場合は消去用のトランジスタは設ける必要がない。そのため、消去用のトランジスタは任意に設ければよい。よって図 8 や図 24 に示す画素において省略することのできる場合もある。なお、アドレス期間、消去期間、点灯期間は、実施の形態 6 で説明する。

【0091】

また設定時に、第 2 トランジスタ 812 又は第 3 トランジスタ 813 がオフするように制御する場合は、第 4 トランジスタ 814 はなくてもよい。

【0092】

次に各部の接続関係について説明する。

【0093】

第 1 トランジスタ 811 の第 1 の電極は信号線 801 に接続され、第 1 トランジスタ 811 のゲート電極は第 1 走査線 802 に接続され、第 1 トランジスタ 8

11の第2の電極は、第3トランジスタ813のゲート電極と、第1保持容量820を介して電源線806とに接続されている。この、第1保持容量820は第1トランジスタ811のゲート・ソース間電圧を保持する役割を担っている。第2トランジスタ812のゲート電極は第2走査線803に接続され、第1の電極は第3トランジスタ813の第2の電極と接続され、第2の電極は第4トランジスタ814の第1の電極に接続されている。第3トランジスタ813の第1の電極は発光素子822に接続されている。第4トランジスタ814のゲート電極は第3走査線804に接続され、第2の電極は、第6トランジスタの第2の電極と第9トランジスタの第1の電極とに接続されている。第5トランジスタ815のゲート電極と第6トランジスタ816のゲート電極とは接続され電流源トランジスタを構成し、更に第7トランジスタ817の第1の電極とも接続されている。第2保持容量821は電源線806と、第5トランジスタ815のゲート電極及び第6トランジスタ816のゲート電極と、の間に接続されている。第5トランジスタ815の第1の電極は、電源線806に接続され、第6トランジスタの第1の電極は、第9トランジスタ819を介して電源線806に接続されている。第5トランジスタ815の第2の電極と、第6トランジスタ816の第2の電極と、第7トランジスタ817の第2の電極とは接続されており、更に第8トランジスタ818を介して電流線805に接続されている。第4トランジスタ814のゲート電極と、第7トランジスタ817のゲート電極と、第8トランジスタ818のゲート電極と、第9トランジスタ819のゲート電極とは、それぞれ第3走査線804に接続されている。

【0094】

なお、消去用の第2トランジスタ812は、図8（A）に示す位置に限定されない。例えば図8（B）に示すように、消去用の第2トランジスタ812を容量素子820の電荷を放電する位置に設けたり、図8（C）に示すように、電流が流れる経路において、発光素子822へ供給される電流を遮断するように設けたりしてもよい。

【0095】

なお、図8（A）、（B）において、信号電流の設定を消去期間に行うとき、

つまり信号電流の設定を第2トランジスタ812や第3トランジスタ813がオフしている期間に行うときには、第4トランジスタ814を省略（削除）することができる。

【0096】

更に図24に示すように、駆動用の第3トランジスタ813を第5トランジスタ815の第1の電極と、第8トランジスタ818の第1の電極との間に設け、新たなトランジスタ823を第3トランジスタ813と電源線806との間に設けてもよい。

【0097】

次に上記の画素における電流の設定時や発光時の動作について説明する。

【0098】

実際の画素部が設けられる表示画面には、図8に示す画素が複数設けられており、順次第1走査線802が選択される。そして、選択された第1走査線802に接続されている第1トランジスタ811がオンとなり、信号線801からビデオ信号が入力される。入力されたビデオ信号に基づいて、第1保持容量820に電荷が蓄積される。蓄積される電荷が、第3トランジスタ813の V_{gs} を越えるとき、第3トランジスタ813がオンとなり、発光素子822へ信号電流を供給することができる状態となる。この動作により、画像の表示を行う。

【0099】

そして、発光素子へ信号電流を供給することができる状態に合わせて、第3走査線804により制御される第4トランジスタ814等がオンとなる。すると、電流源回路により設定された信号電流が発光素子822へと供給される。すなわち、図3(ii)で説明した直列接続状態となっている第1トランジスタ211と第2トランジスタ212が、図8の第5トランジスタ815と第6トランジスタ816に相当し、直列接続状態の第5トランジスタ815と第6トランジスタ816を介して発光素子822へ信号電流が供給される。

【0100】

つまり、図3(i)の第1スイッチ214、第2スイッチ215、第3スイッチ216が、それぞれ図8の第7トランジスタ817、第9トランジスタ819

、第 8 トランジスタ 818 に相当している。

【0101】

なお電流源回路において信号電流を設定する動作は、図 3 (i) と同様であるため、ここでの説明は省略する。

【0102】

以上のように本発明では、電流源回路の駆動用素子を複数のトランジスタで構成し、電流を書き込む場合と、発光素子を発光させる場合とで、各トランジスタを電流の設定時には並列接続状態となるようにし、発光時には直列接続状態となるようにする手段（本実施の形態では各トランジスタ）により、設定時の電流値 I_w と、発光素子へ供給される発光時の電流値 I_E とを、任意に設定することができる。そのため、非常に小さな I_E であっても、設定動作を確実に行うことができ、更には設定時間を短時間とすることができる。また本発明により、発光素子の輝度バラツキを低減することが可能となる。

【0103】

（実施の形態 3）

本実施の形態では、発光時に図 22 (iii) で示したように電流が流れる電流源回路を備えた具体的な画素の例を、図 9 乃至図 13、図 25 乃至図 27 を用いて説明する。なお、図 22 (iii) と図 22 (ii) とは、電流の流れる向きが異なるだけであり、接続が異なる。しかし本質的には両者は同一である。

【0104】

図 9 に示す画素は、図 22 に示す電流源回路を備える画素の一例であり、第 5 トランジスタ 815 の第 2 の電極と第 6 トランジスタ 816 の第 2 の電極とが接続されている。そして図 9 の画素は、第 10 から第 12 トランジスタ 910～912 が設けられている。この第 10 から第 12 トランジスタ 910～912 は、第 3 走査線 804 により制御されている。

【0105】

また第 10 トランジスタ 910 は、電流源トランジスタを構成している第 5 トランジスタ 815 の第 1 の電極と電源線 806 との間に接続されている。第 11 トランジスタ 911 は、第 5 トランジスタ 815 の第 2 の電極と電源線 806 と

の間に接続されている。第12トランジスタ912は、第5トランジスタの第1の電極と第7トランジスタ817の第2の電極とに接続されている。

【0106】

つまり、図9の画素は図2（B）に示す電流源回路を具体的にしたものである。そして図2（B）の第5スイッチ218、第6スイッチ219、第7スイッチ220は、それぞれ図9に示す第10トランジスタ910、第11トランジスタ911、第12トランジスタ912、に相当する。

【0107】

本発明において、消去用のトランジスタは任意に設ければよく、発光素子を非点灯としたいときに、発光素子へ電流が流れないようにすればどこに設けてもよい。例えば、消去用の第2トランジスタ812を容量素子820の電荷を放電する位置に設けたり、電流が流れる経路において、発光素子822へ供給される電流を遮断するように設けたりしてもよい。そして本発明において、電流が流れないように制御する方法は、消去用のトランジスタで制御しても、駆動用のトランジスタで制御するように消去用のトランジスタを設けてもよい。

【0108】

なお、消去用の第2トランジスタ812は、本発明の画素構成において多階調表示を行う場合、1フレームを任意の数に分割する時間階調表示を用いるとき、発光素子の発光を任意のタイミングで止める消去期間を設けるために自由に設けられている。よって、発光素子が発光している期間（点灯期間）がアドレス期間よりも長い場合は消去用のトランジスタは設ける必要がない。そのため、消去用のトランジスタは任意に設ければよい。よって図8や図24に示す画素において省略することのできる場合もある。なお、アドレス期間、消去期間、点灯期間は、実施の形態6で説明する。

【0109】

また設定時に、第2トランジスタ812又は第3トランジスタ813がオフするように制御する場合は、第4トランジスタ814はなくてもよい。

【0110】

そして、選択された第1走査線802に接続されている第1トランジスタ81

1 がオンとなり、信号線 801 からビデオ信号が入力される。入力されたビデオ信号に基づいて、第 1 保持容量 820 に電荷が蓄積される。蓄積される電荷が、第 3 トランジスタ 813 の V_{gs} を越えるとき、第 3 トランジスタ 813 がオンとなり、発光素子 822 へ信号電流を供給することができる状態となる。

【0111】

そして、発光素子へ信号電流を供給することができる状態に合わせて、第 3 走査線 804 により制御される第 4 トランジスタ 814 がオンとなる。すると、電流源回路により設定された信号電流が発光素子 822 へと供給される。すなわち、図 4 (ii) で説明した直列接続状態となっている第 1 トランジスタ 211 と第 2 トランジスタ 212 が、図 9 の第 5 トランジスタ 815 と第 6 トランジスタ 816 に相当し、直列接続状態の第 5 トランジスタ 815 と第 6 トランジスタ 816 を介して発光素子 822 へ信号電流が供給される。

【0112】

また電流源回路において信号電流を設定する動作は、図 4 (i) と同様であるため、ここでの説明は省略する。

【0113】

次に、図 10 に示す画素は、図 9 の画素と異なり、第 7 トランジスタ 817 の第 1 の電極と、第 8 トランジスタ 818 の第 1 の電極とが直接接続されている。

【0114】

そして、図 10 に示す第 10 トランジスタ 910、第 11 トランジスタ 911、第 12 トランジスタはそれぞれ、図 2 (B) の第 5 スイッチ 218、第 6 スイッチ 219、第 7 スイッチ 220 に相当し、設定時や発光時の動作は、図 4 (i)、(ii) と同様であるためここでの説明は省略する。

【0115】

すなわち、図 22 に示す電流源回路を備えた画素は、図 10 に示す画素を用いても同様な効果を奏することができる。

【0116】

次に図 11 (A) に示す画素は、図 10 の画素と異なり、第 7 トランジスタ 817 の第 1 の電極と、電流線 805 とが直接に接続されている。

【0117】

また図11(B)に示すように、駆動用の第3トランジスタ813を第5トランジスタの第2の電極と、第6トランジスタの第2の電極との間に設け、消去用の第2トランジスタ812を発光素子へ供給される電流を妨げる位置に設けてもよい。

【0118】

そして、図11に示す第10トランジスタ910、第11トランジスタ911、第12トランジスタはそれぞれ、図2(B)の第5スイッチ218、第6スイッチ219、第7スイッチ220に相当し、設定時や発光時の動作は、図4(i)、(ii)と同様であるためここでの説明は省略する。

【0119】

すなわち、図22に示す電流源回路を備えた画素は、図11に示す画素を用いても同様な効果を奏することができる。

【0120】

次に図12に示す画素は、図11の画素と異なり、消去用の第2トランジスタ812が電源線806と第10トランジスタ910の第1の電極との間に接続されている。

【0121】

このように、消去用の第2トランジスタ812は、発光素子822へ供給される電流を遮断する位置となるように適宜設ければよい。また、消去用の第2トランジスタ812を、容量素子820の電荷を放電させる位置に設けても構わない。

【0122】

そして、図12に示す第10トランジスタ910、第11トランジスタ911、第12トランジスタはそれぞれ、図2(B)の第5スイッチ218、第6スイッチ219、第7スイッチ220に相当し、設定時や発光時の動作は、図4(i)、(ii)と同様であるためここでの説明は省略する。

【0123】

すなわち、図22に示す電流源回路を備えた画素は、図12に示す画素を用い

でも同様な効果を奏することができる。

【0124】

次に図13に示す画素は、図12の画素と異なり、第12トランジスタ912の第1の電極と電流線805とが直接接続されている。

【0125】

そして、図13に示す第10トランジスタ910、第11トランジスタ911、第12トランジスタはそれぞれ、図2(B)の第5スイッチ218、第6スイッチ219、第7スイッチ220に相当し、設定時や発光時の動作は、図4(i)、(ii)と同様であるためここでの説明は省略する。

【0126】

すなわち、図22に示す電流源回路を備えた画素は、図13に示す画素を用いても同様な効果を奏することができる。

【0127】

また図25に示すように、消去用の第2トランジスタ812を第5トランジスタ815と電源線806との間に設け、第7トランジスタ817を容量素子821の一方と電源線806との間に設け、容量素子の電荷を保持するようにし、第5トランジスタ815の第2の電極と第6トランジスタ816の第2の電極とを接続してもよい。このとき、第10トランジスタ910、第11トランジスタ911を省略することができる。

【0128】

また図26に示すように、駆動用の第3トランジスタを電源線806と第10トランジスタ910との間に設けてもよい。このとき、第4トランジスタ、第11トランジスタ911及び第12トランジスタ912を省略することができる。

【0129】

更に図27に示すように、消去用の第2トランジスタ812と駆動用の第3トランジスタとを接続し、それらを電流線806と第5トランジスタ815との間に設け、第7トランジスタを容量素子821の一方と電流線805との間に設け、容量素子の電荷を保持するようにし、第5トランジスタ815の第2の電極と第6トランジスタの第2の電極とを接続する。このとき、第10トランジスタ9

10及び第11トランジスタ911とを省略することができる。

【0130】

すなわち、図22に示す電流源回路を備えた画素は、図25から図27に示す画素を用いても同様な効果を奏することができる。

【0131】

(実施の形態4)

本実施の形態では、発光時に図23(ii)で示したように電流が流れる電流源回路を備えた具体的な画素構成を、図14を用いて説明する。

【0132】

図14に示す画素は、図23に示す電流源回路を備える画素の一例であり、信号線601、第1走査線602、第2走査線603、第3走査線604、電流線605、電源線606、選択用の第1トランジスタ611、消去用の第2トランジスタ612、駆動用の第3トランジスタ613、発光用の第4トランジスタ614、電流源トランジスタを構成する電流源用の第5トランジスタ615、第6トランジスタ616及び第7トランジスタ617、保持用の第8トランジスタ618、電流入力用の第9トランジスタ619、第1乃至第3の切替用の第10乃至12トランジスタ620～622、第5トランジスタ615と接続される第13トランジスタ623、第1保持容量630、第2保持容量631、発光素子632、を有している。

【0133】

本発明において、消去用のトランジスタは任意に設ければよく、発光素子を非点灯としたいときに、発光素子へ電流が流れないようにすればどこに設けてもよい。例えば、消去用の第2トランジスタ812を容量素子820の電荷を放電する位置に設けたり、電流が流れる経路において、発光素子822へ供給される電流を遮断するように設けたりしてもよい。そして本発明において、電流が流れないように制御する方法は、消去用のトランジスタで制御しても、駆動用のトランジスタで制御するように消去用のトランジスタを設けてもよい。

【0134】

なお、消去用の第2トランジスタ612は、本発明の画素構成において多階調

表示を行う場合、1 フレームを任意の数に分割する時間階調表示を用いるとき、発光素子の発光を任意のタイミングで止める消去期間を設けるために自由に設けられている。よって、発光素子が発光している期間（点灯期間）がアドレス期間よりも長い場合は消去用のトランジスタは設ける必要がない。そのため、消去用のトランジスタは任意に設ければよい。よって消去用の第2 トランジスタ 612 を省略することのできる場合もある。なお、アドレス期間、消去期間、点灯期間は、実施の形態6 で説明する。

【0135】

また設定時に、第3 トランジスタ 613 又は第2 トランジスタ 612 をオフするように制御しておく場合は、第4 トランジスタ 614 は設けなくともよい。

【0136】

次に各部の接続関係について説明する。

【0137】

第1 トランジスタ 611 の第1 の電極は信号線 601 に接続され、第1 トランジスタ 611 のゲート電極は第1 走査線 802 に接続され、第1 トランジスタ 611 の第2 の電極は第3 トランジスタ 613 のゲート電極に接続され、更に第1 保持容量 630 を介して電流源 606 に接続されている。この第1 保持容量 630 は第1 トランジスタ 611 のゲート・ソース間電圧を保持する役割を担っている。第2 トランジスタ 612 のゲート電極は第2 走査線 603 に接続され、第2 の電極は電源線 606 に接続されている。第3 トランジスタ 613 の第1 の電極は発光素子 632 に接続されている。第4 トランジスタ 614 のゲート電極は第3 走査線 604 に接続され、第2 の電極は第3 トランジスタ 613 の第1 の電極に接続されている。第5 トランジスタ 615 のゲート電極と、第6 トランジスタ 616 のゲート電極と、第7 トランジスタ 617 のゲート電極とは、接続され、電流源トランジスタを構成し、更に第8 トランジスタ 618 の第2 の電極とも接続されている。第2 保持容量 631 は電源線 606 と、第6 トランジスタ 616 のゲート電極及び第7 トランジスタ 617 のゲート電極と、の間に接続されている。第5 トランジスタ 615 の第1 の電極は、第13 トランジスタ 623 の第1 の電極と接続し、第2 の電極は第10 トランジスタ 620 を介して電源線 6

06に接続されている。第6トランジスタ616の第1の電極は、第9トランジスタ619を介して電流線605に接続し、第2の電極は第11トランジスタ621を介して電源線606に接続されている。第7トランジスタの第1の電極は、第6トランジスタの第1の電極に接続され、第2の電極は第4トランジスタ614の第2の電極に接続され、更に第12トランジスタを介して電源線606に接続されている。第4トランジスタ614のゲート電極と、第8から第13トランジスタ618～623のゲート電極とは、それぞれ第3走査線604に接続されている。

【0138】

なお、消去用の第2トランジスタ612は、容量素子630の電荷を放電する位置や発光素子632へ供給される電流を遮断する位置に設ければよく、図14に示す位置に限定されない。

【0139】

更に、消去用の第2トランジスタ612は任意に設ければよく、また発光用の第4トランジスタ614と兼用できるため、省略することができる。但しこのとき、第3走査線604とは異なる走査線を設け、兼用されたトランジスタを制御する必要がある。

【0140】

また設定時に第3トランジスタ613がオフするように、第2トランジスタ612を制御しておく場合は、第4トランジスタ614はなくてもよい。

【0141】

次に上記の画素における電流の設定時や発光時の動作について説明する。

【0142】

実際の画素部を有する表示画面には、図14に示す画素が複数設けられており、順次第1走査線602が選択される。そして、選択された第1走査線602に接続されている第1トランジスタ611がオンとなり、信号線601からビデオ信号が入力される。入力されたビデオ信号に基づいて、第1保持容量630に電荷が蓄積される。蓄積される電荷が、第3トランジスタ613の V_{gs} を越えるとき、第3トランジスタ613がオンとなり、発光素子632へ信号電流を供給

することができる状態となる。

【0143】

そして、発光素子へ信号電流を供給することができる状態に合わせて、第3走査線604により制御される第4トランジスタ614がオンとなる。すると、電流源回路により設定された信号電流が発光素子632へと供給される。すなわち、図6(ii)で説明した直列接続状態となっている第1トランジスタ511、第2トランジスタ512及び第3トランジスタ513が、それぞれ図14の第5トランジスタ615、第6トランジスタ616及び第7トランジスタ617に相当し、直列接続状態の第5から第7トランジスタ615～617を介して発光素子632へ信号電流が供給される。

【0144】

また電流源回路において信号電流を設定する動作は、図6(i)と同様であるため、ここでの説明は省略する。なお、図6(i)の第1スイッチ521、第2スイッチ522、第3スイッチ523、第4スイッチ524、第6スイッチ526、第7スイッチ527、第8スイッチ528が、それぞれ図14の第8トランジスタ618、第12トランジスタ622、第9トランジスタ619、第11トランジスタ621、第13トランジスタ623、第11トランジスタ621、第10トランジスタ620、に相当している。

【0145】

以上のように本発明では、電流源回路の駆動用素子を複数のトランジスタで構成し、電流を書き込む場合と、発光素子を発光させる場合とで、各トランジスタを電流の設定時には並列接続状態となるようにし、発光時には直列接続状態となるようにする手段（本実施の形態では各トランジスタ）により、設定時の電流値 I_w と、発光素子へ供給される発光時の電流値 I_E とを、任意に設定することができる。そのため、非常に小さな I_E であっても、設定動作を確実に行うことができ、更には設定時間を短時間とすることができる。また本発明により、発光素子の輝度バラツキを低減することが可能となる。

【0146】

(実施の形態5)

本実施の形態では、発光時に図 23 (i i i) で示したように電流が流れる電流源回路を備えた具体的な画素構成を、図 15 を用いて説明する。なお、図 23 (i i i) と図 23 (ii) とは、電流の流れる向きが異なるだけであり、接続が異なる。しかし本質的には両者は同一である。

【0147】

図 15 に示す画素は、図 23 に示す電流源回路を備える画素の一例であり、図 14 の画素と異なり、第 2 トランジスタが第 1 容量素子 630 の電荷を放電するように設けられ、第 6 トランジスタの第 2 の電極と、第 7 トランジスタの第 2 の電極とが接続されている。更に、第 13 トランジスタ 623 は第 9 トランジスタ 619 を介して電流線 605 に接続され、第 9 トランジスタ 619 と第 13 トランジスタ 623 との間に、第 7 トランジスタ 617 の第 1 の電極、第 8 トランジスタ 618 の第 1 の電極、第 4 トランジスタ 614 の第 2 の電極が接続されている。

【0148】

そして、図 15 に示す第 8 トランジスタ 618、第 9 トランジスタ 619、第 11 トランジスタ 621、第 12 トランジスタ 622、第 13 トランジスタ 623 はそれぞれ、図 5 (B) の第 1 スイッチ 521、第 3 スイッチ 523、第 4 スイッチ 524、第 2 スイッチ 522、第 6 スイッチ 526 に相当する。

【0149】

本発明において、消去用のトランジスタは任意に設ければよく、発光素子を非点灯としたいときに、発光素子へ電流が流れないようにすればどこに設けてもよい。例えば、消去用の第 2 トランジスタ 812 を容量素子 820 の電荷を放電する位置に設けたり、電流が流れる経路において、発光素子 822 へ供給される電流を遮断するように設けたりしてもよい。そして本発明において、電流が流れないように制御する方法は、消去用のトランジスタで制御しても、駆動用のトランジスタで制御するように消去用のトランジスタを設けてもよい。

【0150】

なお、消去用の第 2 トランジスタ 612 は、本発明の画素構成において多階調表示を行う場合、1 フレームを任意の数に分割する時間階調表示を用いるとき、

発光素子の発光を任意のタイミングで止める消去期間を設けるために自由に設けられている。よって、発光素子が発光している期間（点灯期間）がアドレス期間よりも長い場合は消去用のトランジスタは設ける必要がない。そのため、消去用のトランジスタは任意に設ければよい。よって消去用の第2トランジスタ612を省略することのできる場合もある。なお、アドレス期間、消去期間、点灯期間は、実施の形態6で説明する。

【0151】

また設定時に、第3トランジスタ613又は第2トランジスタ612をオフするように制御しておく場合は、第4トランジスタ614は設けなくともよい。

【0152】

そして、選択された第1走査線602に接続されている第1トランジスタ611がオンとなり、信号線601からビデオ信号が入力される。入力されたビデオ信号に基づいて、第1保持容量630に電荷が蓄積される。蓄積される電荷が、第3トランジスタ613の V_{gs} を越えるとき、第3トランジスタ613がオンとなり、発光素子632へ信号電流を供給することができる状態となる。

【0153】

そして、発光素子632へ信号電流を供給することができる状態に合わせて、第3走査線604により制御される第4トランジスタ614がオンとなる。すると、電流源回路により設定された信号電流が発光素子632へと供給される。すなわち、図7(ii)で説明した直列接続状態となっている第1トランジスタ511、第2トランジスタ512及び第3トランジスタ513が、図15の第5トランジスタ615、第6トランジスタ616及び第7トランジスタ617に相当し、直列接続状態の第5トランジスタ615、第6トランジスタ616及び第7トランジスタ617を介して発光素子632へ信号電流が供給される。

【0154】

また電流源回路において信号電流を設定する動作は、図7(i)と同様であるため、ここでの説明は省略する。

【0155】

以上のように本発明では、電流源回路の駆動用素子を複数のトランジスタで構

成し、電流を書き込む場合と、発光素子を発光させる場合とで、各トランジスタを電流の設定時には並列接続状態となるようにし、発光時には直列接続状態となるようにする手段（本実施の形態では各トランジスタ）により、設定時の電流値 I_w と、発光素子へ供給される発光時の電流値 I_E とを、任意に設定することができる。そのため、非常に小さな I_E であっても、設定動作を確実に行うことができ、更には設定時間を短時間とすることができる。また本発明により、発光素子の輝度バラツキを低減することが可能となる。

【0156】

なお、上記各実施の形態では電流源トランジスタを構成するトランジスタの極性は p 型で説明したが、これは一例であって本発明はこれに限定されるものではなく、n 型を用いても構わない。

【0157】

（実施の形態 6）

本実施の形態では、多階調表示を行う場合に時間階調を用いたときのタイミングチャートを、図 16 を用いて説明する。

【0158】

図 16（A）には、一つのフレームを三つに分割したサブフレーム期間 $SF1$ 、 $SF2$ 、 $SF3$ を有するフレーム期間 $F1$ 、 $F2$ が示されている。各サブフレーム期間 $SF1$ 、 $SF2$ 、 $SF3$ は、走査線第 1 行目から最終行を順に選択し、選択された画素へ信号電流を書き込む書き込み期間（アドレス期間ともいう） T_{a1} 、 T_{a2} 、 T_{a3} と、書き込まれた信号電流に基づき発光素子が点灯する点灯期間（発光期間又は表示期間ともいう） T_{s1} 、 T_{s2} 、 T_{s3} とを有している。

【0159】

また、点灯期間の短いサブフレーム期間では、次の書き込み期間と重なってしまう問題が生じる。そのため、点灯期間の短いサブフレーム期間（図 16 においては $SF3$ ）では、点灯期間を強制的に終了させる消去期間 T_e が設けられている。この消去期間を設ける場合であって、図 8～図 13、図 24～図 27 に示す画素では第 2 トランジスタ 812、図 14、図 15 に示す画素では第 2 トランジ

スタ 612 が消去用トランジスタに相当する。

【0160】

そして書き込み期間では、図 3 (ii)、4 (ii)、6 (ii) 及び 7 (i) のいずれかで示した発光時の動作が画素で行われている。

【0161】

また、信号電流の設定動作は、発光素子と電流源回路との接続を制御するスイッチがオフしているときに行われるため（図 3 (i)、4 (i)、6 (i) 及び 7 (i) 参照）、消去期間 T_e に行う必要がある。そのため、設定期間 T_c は、消去期間 T_e と合わせた期間に設けられている。

【0162】

そして設定期間では、図 3 (i)、4 (i)、6 (i) 及び 7 (i) のいずれかで示した動作が行われている。

【0163】

しかし実際は、上記の設定期間では全ての画素において、設定動作を完了させることは難しい。そのため、ある一行の走査線に接続される画素の設定動作は、ある程度の時間をかける必要がある。

【0164】

また設定期間において、各走査線を選択する速度は書き込み期間や消去期間と同じであることが望ましい。そのため、ある一行の走査線に接続される画素の設定動作に時間をかけたときであっても、選択される走査線は時間をかけた分先にすすんでしまう。

【0165】

そこで、任意の間隔おきの走査線に接続される画素に対して設定動作を行えばよい。

【0166】

例えば図 16 (B) に示すように、二つおきの走査線に接続される画素に対して設定動作を行えばよい。なお図 16 (B) では、選択される走査線を High とし、それ以外を Low として示している。

【0167】

そして、設定期間 T_c において第 1 行目の走査線が選択され、3 行分（第 1 行から第 3 行分に相当）の走査線を選択する時間をかけて設定動作を行う。次には、第 4 行目の走査線が選択され、同様に 3 行分の走査線を選択する時間をかけて設定動作を行う。その後順に、第 7 行目の走査線、第 10 行目の走査線、・・・と順に設定動作が行われる。以上の設定動作を一つの設定期間で行う。

【0168】

そして次の設定期間では、第 2 行目の走査線から選択し、3 行分（第 1 行から第 3 行分に相当）の走査線を選択する時間をかけて設定動作を行う。次には、第 5 行目の走査線、第 8 行目の走査線・・・と順に設定動作が行われる。

【0169】

更に次の設定期間では、第 3 行目の走査線から選択し、3 行分（第 1 行から第 3 行分に相当）の走査線を選択する時間をかけて設定動作を行う。次には、第 6 行目の走査線、第 9 行目の走査線・・・と順に設定動作が行われる。

【0170】

図 16 (B) に示すように、二つおきの走査線を選択して設定動作を行う場合は、三つの設定期間 T_c により全画素の設定動作を終了することができる。

【0171】

もちろん、走査線の間隔は任意に設定することができ、設定動作に時間をかけるにつれ、走査線の間隔を増していけばよい。更に、サブフレーム期間の数も適宜設定すればよい。

【0172】

また、より素早い設定動作を行うために、電流源回路の電流源トランジスタを構成しているトランジスタの数を増やしてもよい。例えば実施の形態 2～5 で説明したように、二つ又は三つのトランジスタで電流源トランジスタを構成すればよい。

【0173】

また、設定動作を一度行った後、再度設定動作を行うまでの間隔は、任意に設定すればよく、容量素子 821 にたまった電荷がリーク等により少なくなってきたときに再度設定すればよい。また、必ずしも第 1 の走査線から順に設定動作を

行う必要はない。

【0174】

また1フレームを更に複数のサブフレーム期間に分ける場合、アドレス期間よりも点灯期間が短いとき、消去期間を複数設ける必要がある。それに伴い、設定期間を複数設けることができ、設定動作に時間をかけることが可能となる。

【0175】

以上のように、本発明の駆動方法により消去期間を上手く利用して設定動作を行うことができ、更に設定動作時には各トランジスタが並列接続状態となっているため、素早く信号電流を設定することが可能となる。

【0176】

(実施の形態7)

本実施の形態では、図8に示す画素において各トランジスタを薄膜トランジスタ(以下、TFTと表記)を用いて作製したときの上図面を、図17を用いて説明する。また、トランジスタは、単結晶、SOI、有機トランジスタ等を用いて作製しても構わない。なお図17では、第2容量素子821を省略し、消去用の第2トランジスタ812と発光用の第4トランジスタ814とを兼用した場合の上図面を示している。

【0177】

図17をみると、TFTを形成する領域に同一層(同一レイヤ)をパターンニングして複数の活性層が設けられ、次に第1走査線802、第2走査線803、第3走査線804とが同一層(同一レイヤ)をパターンニングして設けられ、その後信号線801、電流線805、電源線806とが同一層(同一レイヤ)をパターンニングして設けられ、最後に発光素子の第1の電極(ここでは陽極とする)が設けられている。

【0178】

そして、第1走査線802の一部がゲート電極となる選択用の第1トランジスタ811が設けられている。第1トランジスタ811は、一つの活性層にゲート電極が二つ設けられたダブルゲート構造とすることで、一つの活性層に一つのゲート電極が設けられたシングルゲート構造と比べて選択(スイッチング)を確

実に行うことができる。また、第1トランジスタ811は一つの活性層にゲート電極が三つ以上設けられたマルチゲート構造とすることも可能である。

【0179】

また、第2走査線803の一部がゲート電極となる消去用兼発光用の第2トランジスタ812（814）が設けられている。また、コンタクトを介して第1トランジスタの第2の電極にゲート電極が接続された駆動用の第3トランジスタ813が設けられている。

【0180】

また、電流源トランジスタを構成する第5トランジスタ815及び第6トランジスタ816のバラツキを低減するため、TFTのチャネル形成領域のチャネル長（L）及びチャネル幅（W）を大きくしたり、活性層の結晶化において同一方向にレーザを照射したりすると好ましい。更に、チャネル形成領域のL及びWを大きくすることにより、ゲート容量が大きくなり第2容量素子821を省略することができる。

【0181】

また、第3走査線804にゲート電極が接続されている第7トランジスタ817、第8トランジスタ818及び第9トランジスタ819が設けられている。第7トランジスタ817の第1の電極と、第5トランジスタ及び第6トランジスタのゲート電極とが接続されている。また、活性層と、走査線と同一の層とで形成された容量素子820が設けられている。

【0182】

このような各TFTの構成は、ゲート電極が半導体膜（チャネル形成領域）の上にあるトップゲート型構造やその逆のボトムゲート型構造を用い、不純物領域（ソース領域又はドレイン領域）にはオフセット構造やGOLD構造を用いればよい。

【0183】

（実施の形態8）

本発明を用いて形成される発光素子を備えた画素部を有する電子機器として、ビデオカメラ、デジタルカメラ、ナビゲーションシステム、音響再生装置（カ

ーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されているため、発光素子を有する表示装置を用いることが望ましい。それら電子機器の具体例を図19に示す。

【0184】

図19(A)は表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明により形成される発光素子を備えた画素部は、表示部2003に用いることができる。なお、表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用発光装置が含まれる。

【0185】

図19(B)はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明により形成される発光素子を備えた画素部は、表示部2102に用いることができる。

【0186】

図19(C)はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明により形成される発光素子を備えた画素部は、表示部2203に用いることができる。

【0187】

図19(D)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明により形成される発光素子を備えた画素部は、表示部2302に用いることができる。

【0188】

図 19 (E) は記録媒体を備えた携帯型の画像再生装置（具体的には DVD 再生装置）であり、本体 2401、筐体 2402、表示部 A 2403、表示部 B 2404、記録媒体（DVD 等）読み込み部 2405、操作キー 2406、スピーカー部 2407 等を含む。表示部 A 2403 は主として画像情報を表示し、表示部 B 2404 は主として文字情報を表示するが、本発明により形成される発光素子を備えた画素部は、表示部 A、B 2403、2404 に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0189】

図 19 (F) はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体 2501、表示部 2502、アーム部 2503 を含む。本発明の発光装置は表示部 2502 に用いることができる。

【0190】

図 19 (G) はビデオカメラであり、本体 2601、表示部 2602、筐体 2603、外部接続ポート 2604、リモコン受信部 2605、受像部 2606、バッテリー 2607、音声入力部 2608、操作キー 2609 等を含む。本発明により形成される発光素子を備えた画素部は、表示部 2602 に用いることができる。

【0191】

図 19 (H) は携帯電話であり、本体 2701、筐体 2702、表示部 2703、音声入力部 2704、音声出力部 2705、操作キー 2706、外部接続ポート 2707、アンテナ 2708 等を含む。本発明により形成される発光素子を備えた画素部は、表示部 2703 に用いることができる。なお、表示部 2703 は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

【0192】

以上のように、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施の形態の電子機器は、実施の形態 1 から 7 に示したいずれの構成の画素構造を用いることができる。

【0193】

(実施の形態 9)

実施の形態 8 において示した電子機器には、発光素子が封止された状態にあるパネルに、コントローラ、電源回路等を含む IC が実装された状態にあるモジュールが搭載されている。モジュールとパネルは、共に表示装置の一形態に相当する。本実施の形態では、モジュールの具体的な構成について説明する。

【0194】

図 20 (A) に、コントローラ 901 及び電源回路 902 がパネル 900 に実装されたモジュールの外観図を示す。パネル 900 には、発光素子が各画素に設けられた画素部 903 と、前記画素部 903 が有する画素を選択する走査線駆動回路 904 と、選択された画素に信号を供給する信号線駆動回路 905 とが設けられている。

【0195】

またプリント基板 906 にはコントローラ 901、電源回路 902 が設けられており、コントローラ 901 または電源回路 902 から出力された各種信号及び電源電圧は、FPC 907 を介してパネル 900 の画素部 903、走査線駆動回路 904、信号線駆動回路 905 に供給される。

【0196】

プリント基板 906 への電源電圧及び各種信号は、複数の入力端子が配置されたインターフェース (I/F) 部 908 を介して供給される。

【0197】

なお、本実施の形態ではパネル 900 にプリント基板 906 が FPC を用いて実装されているが、必ずしもこの構成に限定されない。COG (Chip on Glass) 方式を用い、コントローラ 901、電源回路 902 をパネル 900 に直接実装させるようにしても良い。

【0198】

また、プリント基板 906 において、引きまわしの配線間に形成される容量や配線自体が有する抵抗等によって、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりすることがある。そこで、プリント基板 906 にコンデンサ、バッファ等の各種素子を設けて、電源電圧や信号にノイズがのったり、信号

の立ち上がりが鈍ったりするのを防ぐようにしても良い。

【0199】

図20(B)に、プリント基板906の構成をブロック図で示す。インターフェース908に供給された各種信号と電源電圧は、コントローラ901と、電源電圧902に供給される。

【0200】

コントローラ901は、位相ロックドループ(PLL:Phase Locked Loop)910と、制御信号生成部911と、必要に応じてA/Dコンバータ909及びSRAM(Static Random Access Memory)912、913とを備えている。なお、必要に応じて備えるとは、入力される信号がアナログ信号又はデジタル信号の場合や、パネルの画素構成がアナログ信号又はデジタル信号のいずれかにより制御させる場合によって適宜設けるためである。なお、SRAMの代わりに、SDRAMや、高速でデータの書き込みや読み出しが可能であるならばDRAM(Dynamic Random Access Memory)も用いることが可能である。

【0201】

インターフェース908を介して供給されたビデオ信号は、A/Dコンバータ909においてパラレル-シリアル変換され、R、G、Bの各色に対応するビデオ信号として制御信号生成部911に入力される。また、インターフェース908を介して供給された各種信号をもとに、A/Dコンバータ909においてHsync信号、Vsync信号、クロック信号CLK、交流電圧(AC Cont)が生成され、制御信号生成部911に入力される。

【0202】

位相ロックドループ910では、インターフェース908を介して供給される各種信号の周波数と、制御信号生成部911の動作周波数の位相とを合わせる機能を有している。制御信号生成部911の動作周波数は、インターフェース908を介して供給された各種信号の周波数と必ずしも同じではないが、互いに同期するように制御信号生成部911の動作周波数を位相ロックドループ910において調整する。

【0203】

制御信号生成部 911 に入力された信号がビデオ信号の場合、一旦 S R A M 912、913 に書き込まれ、保持される。制御信号生成部 911 では、S R A M 912 に保持されている全ビットのビデオ信号のうち、全画素に対応するビデオ信号を 1 ビット分ずつ読み出し、パネル 900 の信号線駆動回路 905 に供給する。

【0204】

また制御信号生成部 911 では、各ビットの、発光素子が発光する期間に関する情報を、パネル 900 の走査線駆動回路 904 に供給する。

【0205】

また電源回路 902 は所定の電源電圧を、パネル 900 の信号線駆動回路 905、走査線駆動回路 904 及び画素部 903 に供給する。

【0206】

次に電源回路 902 の詳しい構成について、図 21 を用いて説明する。本実施の形態の電源回路 902 は、四つのスイッチングレギュレータコントロール 960 を用いたスイッチングレギュレータ 954 と、シリーズレギュレータ 955 とからなる。

【0207】

一般的にスイッチングレギュレータは、シリーズレギュレータに比べて小型、軽量であり、降圧だけでなく昇圧や正負反転することも可能である。一方シリーズレギュレータは、降圧のみに用いられるが、スイッチングレギュレータに比べて出力電圧の精度は良く、リップルやノイズはほとんど発生しない。本実施の形態の電源回路 902 では、両者を組み合わせて用いる。

【0208】

図 21 に示すスイッチングレギュレータ 954 は、スイッチングレギュレータコントロール (SWR) 960 と、アテニュエーター (減衰器: A T T) 961 と、トランス (T) 962 と、インダクター (L) 963 と、基準電源 (V r e f) 964 と、発振回路 (O S C) 965、ダイオード 966 と、バイポーラトランジスタ 967 と、可変抵抗 968 と、容量 969 とを有している。

【0209】

スイッチングレギュレータ 954 において外部の Li イオン電池 (3.6 V) 等の電圧が変換されることで、陰極に与えられる電源電圧と、スイッチングレギュレータ 954 に供給される電源電圧が生成される。

【0210】

またシリーズレギュレータ 955 は、バンドギャップ回路 (BG) 970 と、アンプ 971 と、オペアンプ 972 と、電流源 973 と、可変抵抗 974 と、バイポーラトランジスタ 975 とを有し、スイッチングレギュレータ 954 において生成された電源電圧が供給されている。

【0211】

シリーズレギュレータ 955 では、スイッチングレギュレータ 954 において生成された電源電圧を用い、バンドギャップ回路 970 において生成された一定の電圧に基づいて、各色の発光素子の陽極に電流を供給するための配線 (電流供給線) に与える直流の電源電圧を生成する。

【0212】

なお電流源 973 は、ビデオ信号の電流が画素に書き込まれる駆動方式の場合に用いる。この場合、電流源 973 において生成された電流は、パネル 900 の信号線駆動回路 905 に供給される。なお、ビデオ信号の電圧が画素に書き込まれる駆動方式の場合には、電流源 973 は必ずしも設ける必要はない。

【0213】

なお、スイッチングレギュレータ、OSC、アンプ、オペアンプは、本発明の作製方法を用いて形成することが可能である。

【0214】

【発明の効果】

本発明では、電流源回路の駆動用素子を複数のトランジスタで構成し、電流を書き込む場合と、発光素子を発光させる場合とで、複数のトランジスタの接続を並列と直列とに切り替えて用いることにより、設定時の電流値 I_w と、発光素子へ供給される発光時の電流値 I_E とを、任意に設定することができる。そのため、非常に小さな I_E であっても、設定動作を確実に行うことができ、更には設定時間を短時間とすることができる。また本発明により、信号電流を正確に設定す

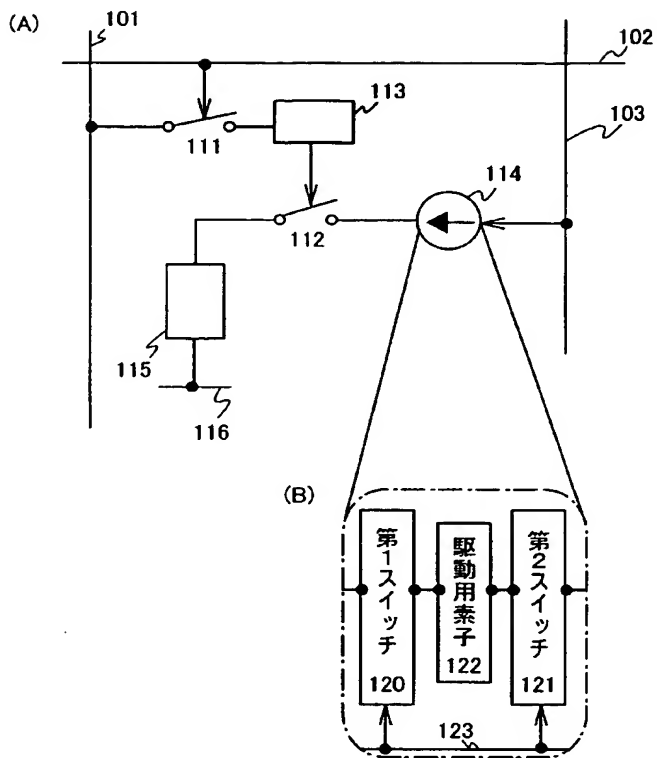
ることができるため、発光素子の輝度バラツキを低減することが可能となる。

【図面の簡単な説明】

- 【図 1】 本発明の画素を示す図。
- 【図 2】 本発明の画素の回路図を示す図。
- 【図 3】 本発明の画素の回路図を示す図。
- 【図 4】 本発明の画素の回路図を示す図。
- 【図 5】 本発明の画素の回路図を示す図。
- 【図 6】 本発明の画素の回路図を示す図。
- 【図 7】 本発明の画素の回路図を示す図。
- 【図 8】 本発明の画素の回路図を示す図。
- 【図 9】 本発明の画素の回路図を示す図。
- 【図 1 0】 本発明の画素の回路図を示す図。
- 【図 1 1】 本発明の画素の回路図を示す図。
- 【図 1 2】 本発明の画素の回路図を示す図。
- 【図 1 3】 本発明の画素の回路図を示す図。
- 【図 1 4】 本発明の画素の回路図を示す図。
- 【図 1 5】 本発明の画素の回路図を示す図。
- 【図 1 6】 本発明の画素のタイミングチャートを示す図。
- 【図 1 7】 本発明の画素の上面図。
- 【図 1 8】 画素の回路図を示す図。
- 【図 1 9】 本発明の画素を用いた電子機器を示す図。
- 【図 2 0】 本発明の画素を用いたモジュールを示す図。
- 【図 2 1】 本発明の画素を用いたモジュールの電源回路を示す図。
- 【図 2 2】 本発明の画素の回路図を示す図。
- 【図 2 3】 本発明の画素の回路図を示す図。
- 【図 2 4】 本発明の画素の回路図を示す図。
- 【図 2 5】 本発明の画素の回路図を示す図。
- 【図 2 6】 本発明の画素の回路図を示す図。
- 【図 2 7】 本発明の画素の回路図を示す図。

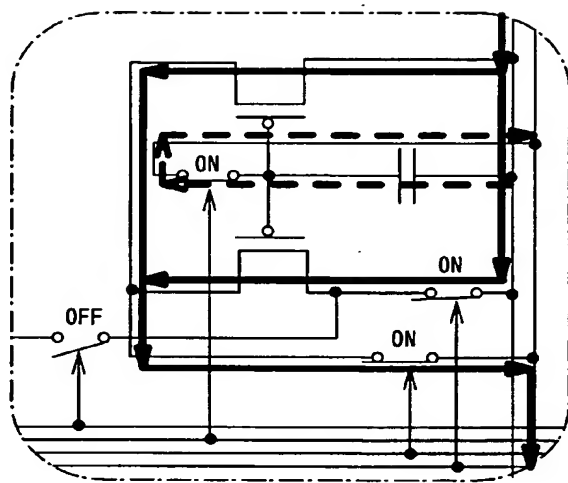
【書類名】 図面

【図 1】

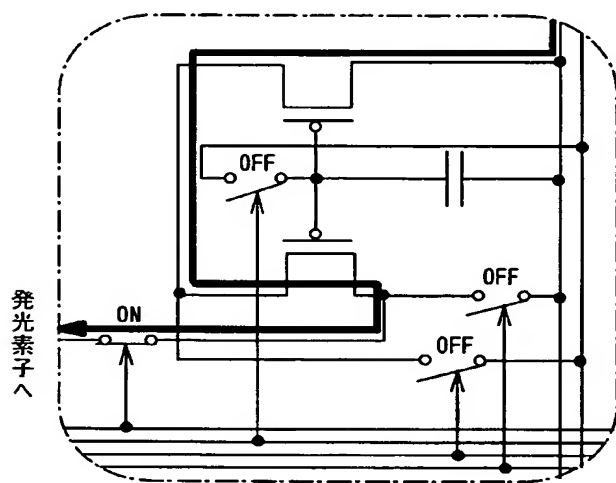


【図 3】

(i) 設定時

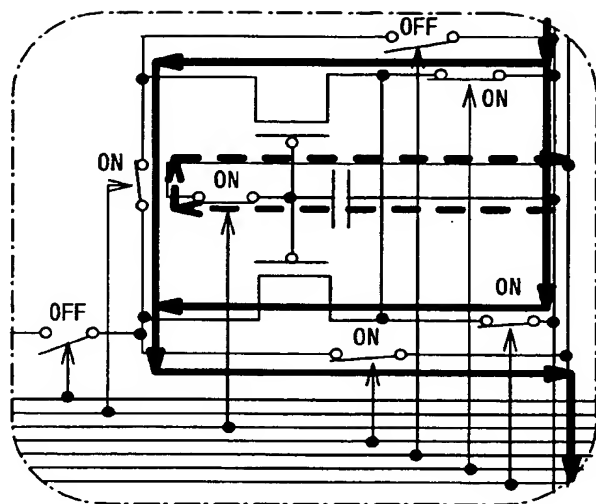


(ii) 発光時

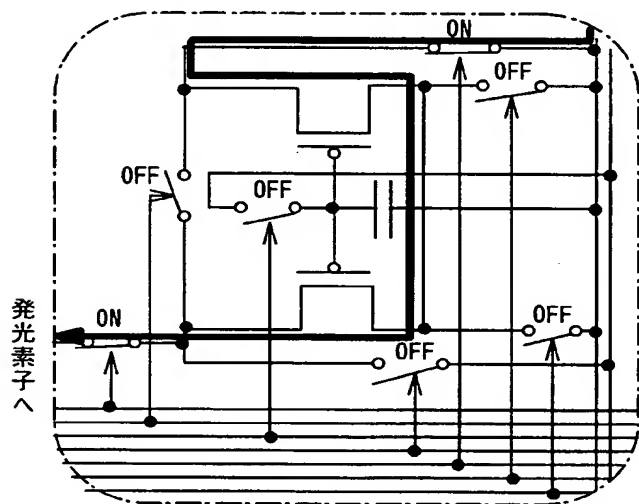


【図 4】

(i) 設定時

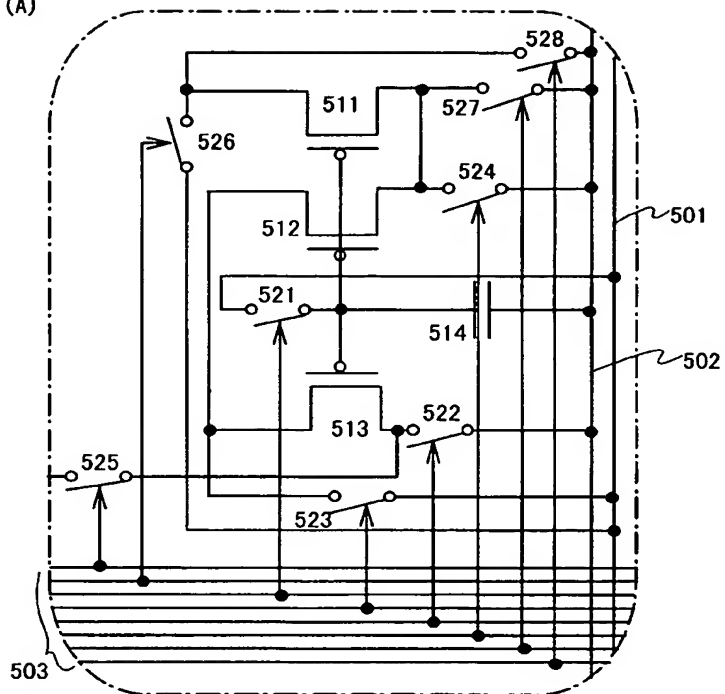


(ii) 発光時

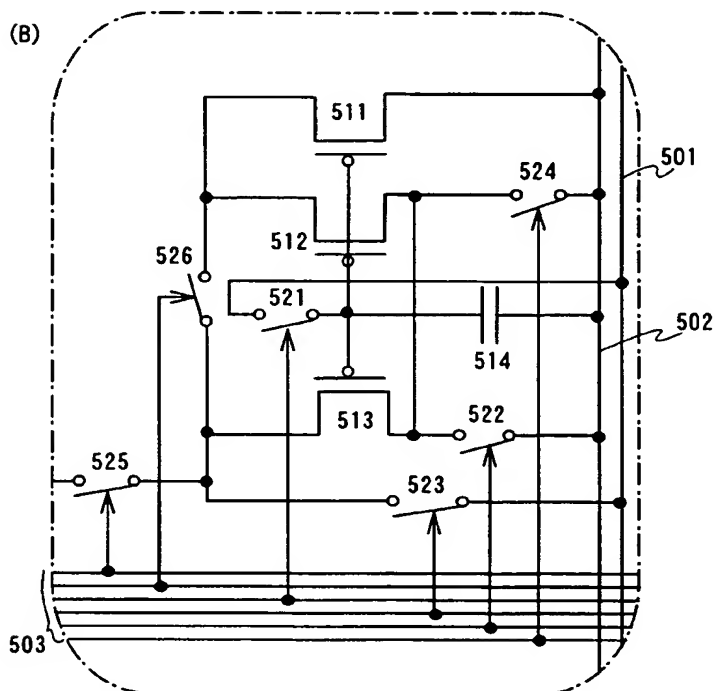


【図 5】

(A)

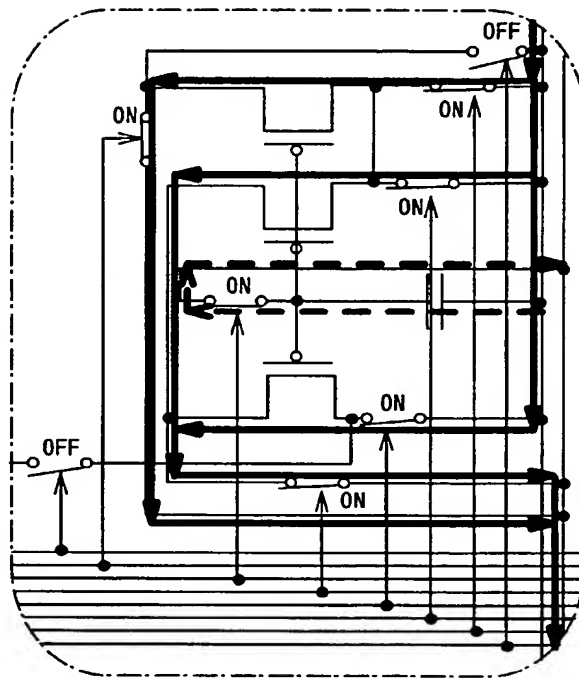


(B)

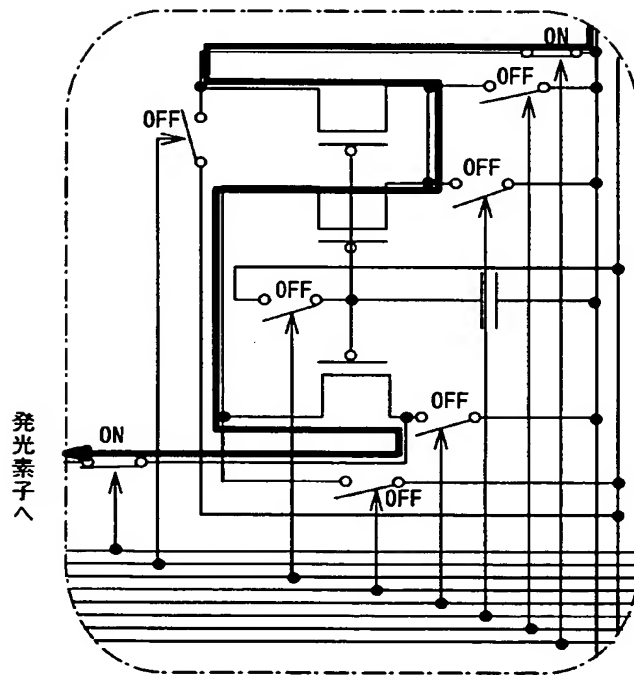


【図 6】

(i) 設定時

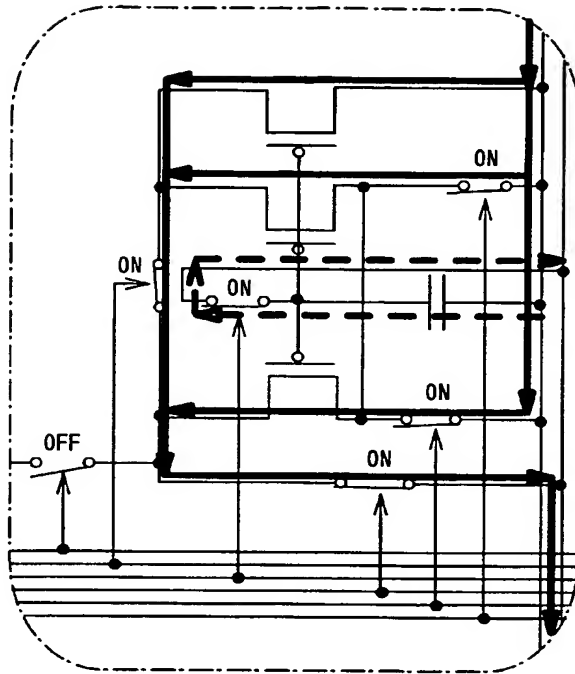


(ii) 発光時

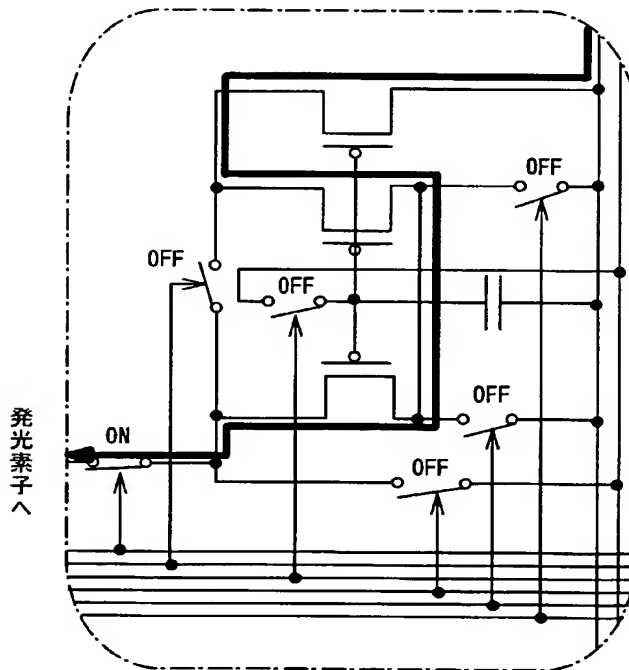


【図 7】

(i) 設定時

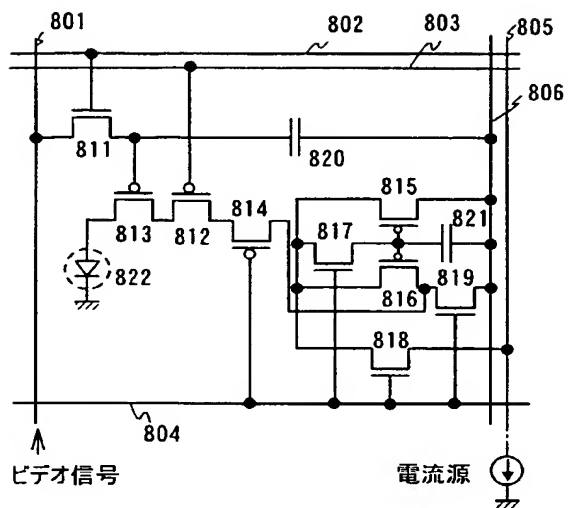


(ii) 発光時

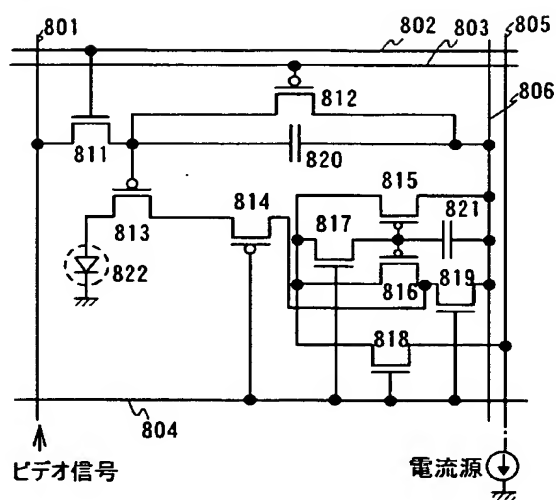


【図 8】

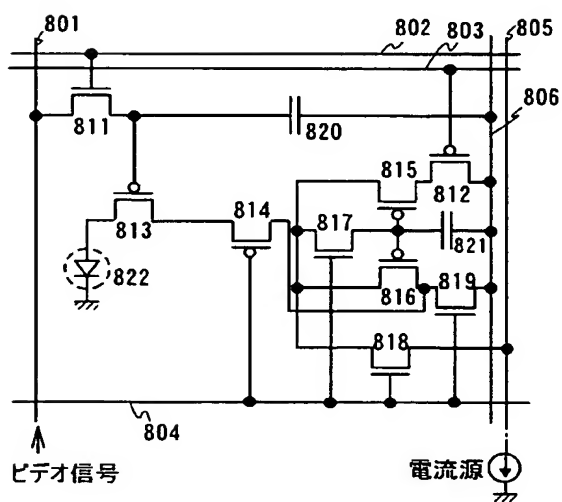
(A)



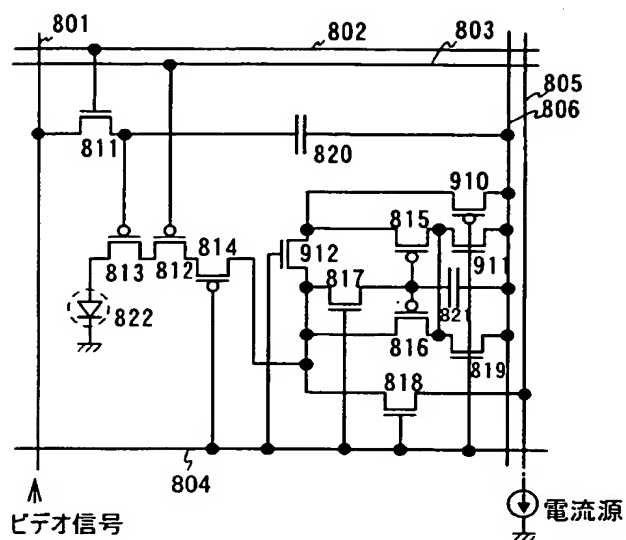
(B)



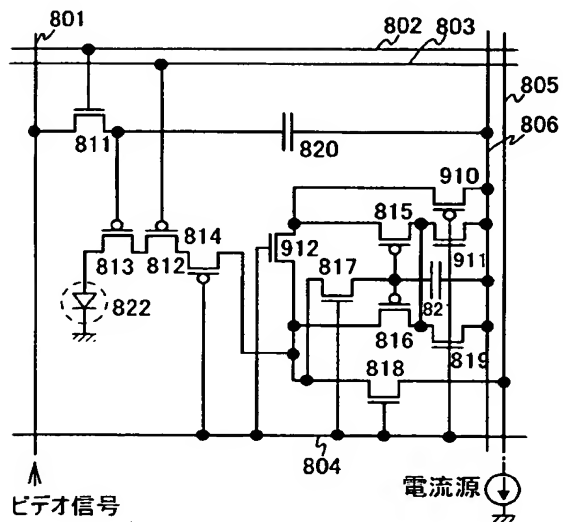
(C)



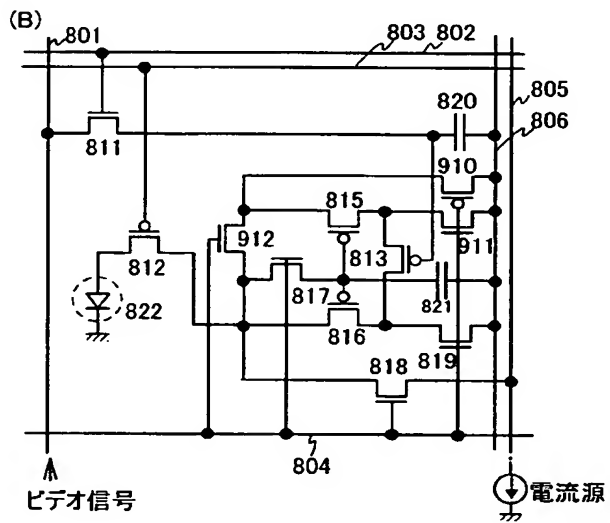
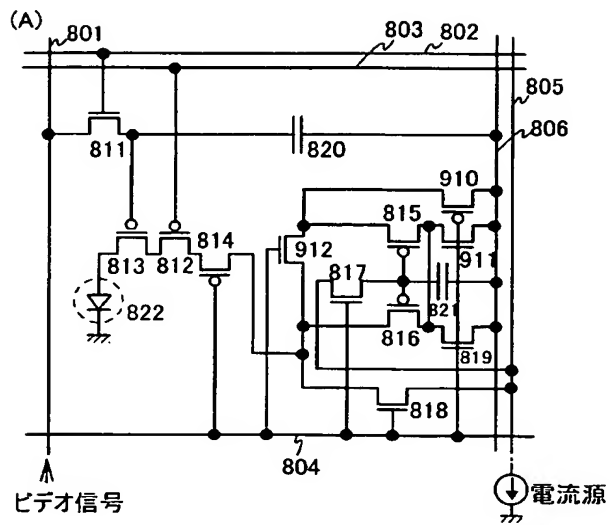
【図 9】



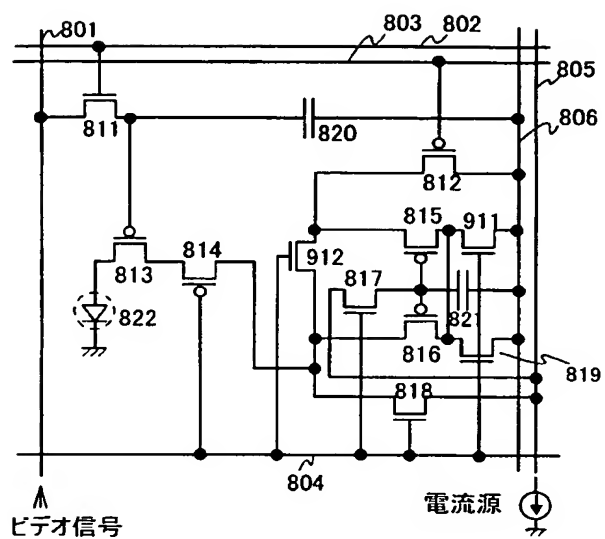
【図 10】



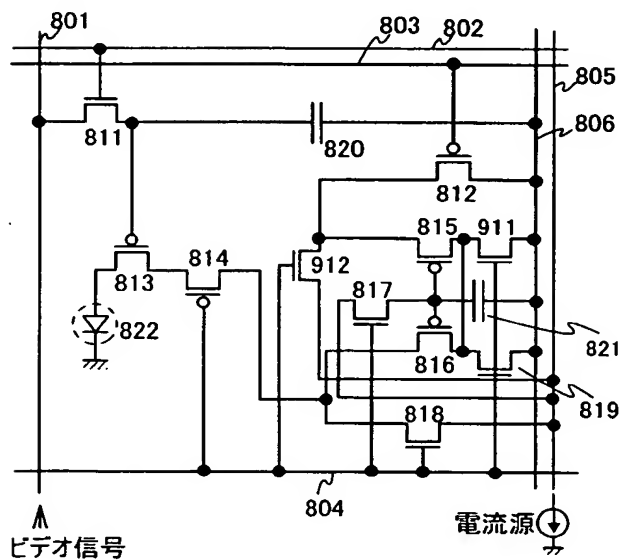
【図 11】



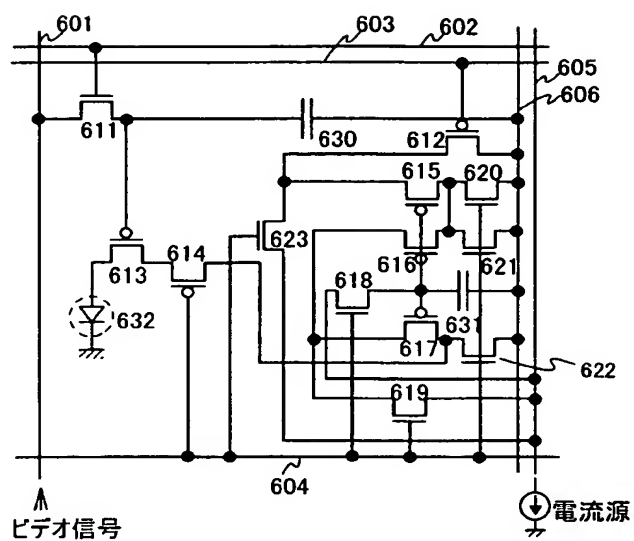
【図 1 2】



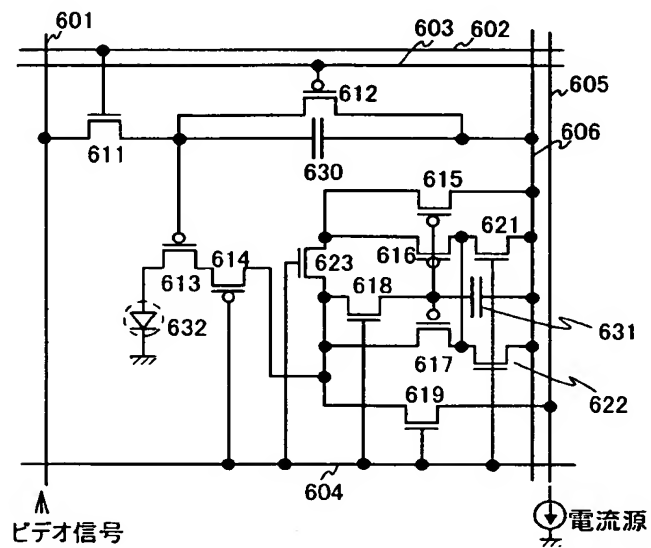
【図 1 3】



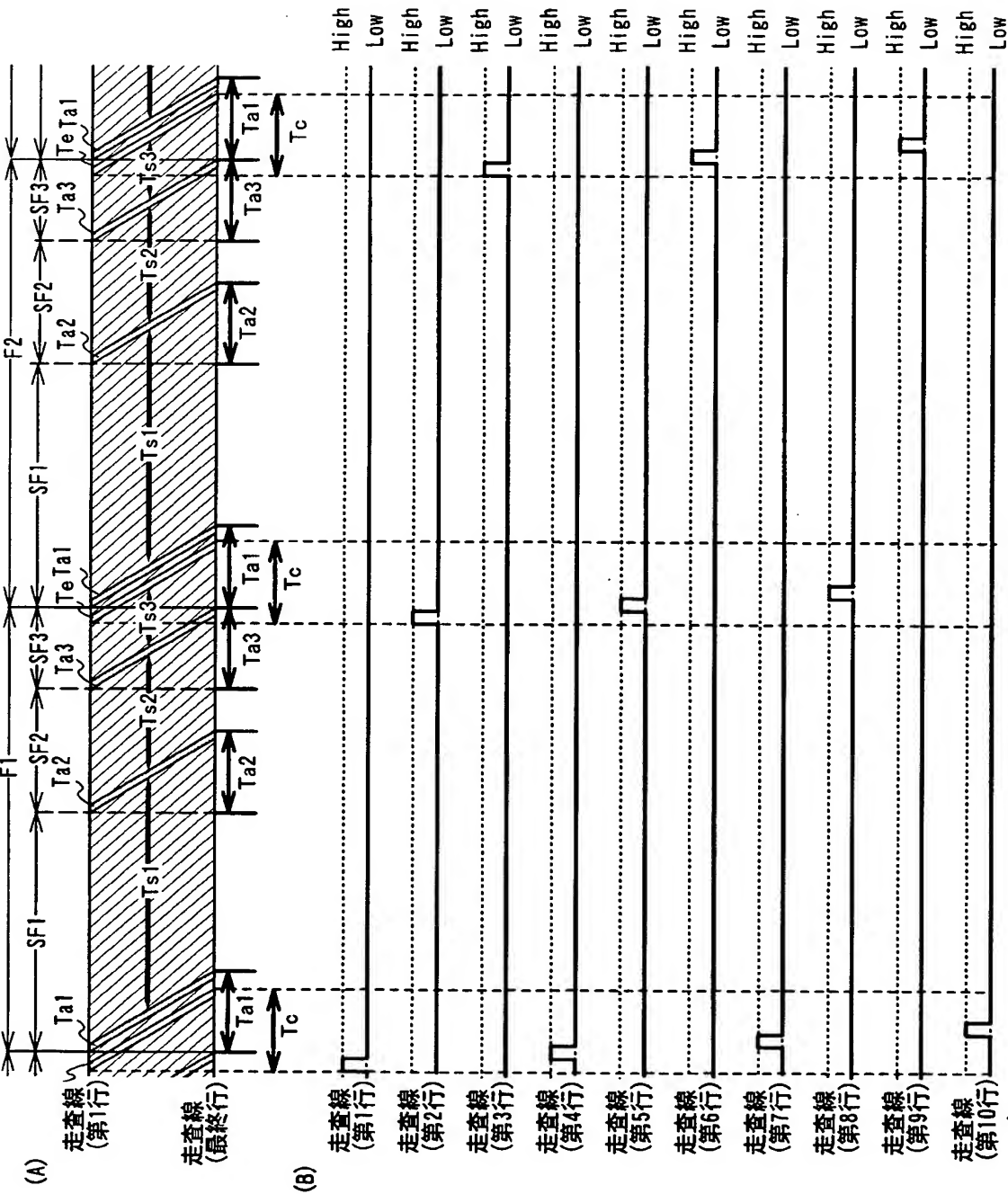
【図 14】



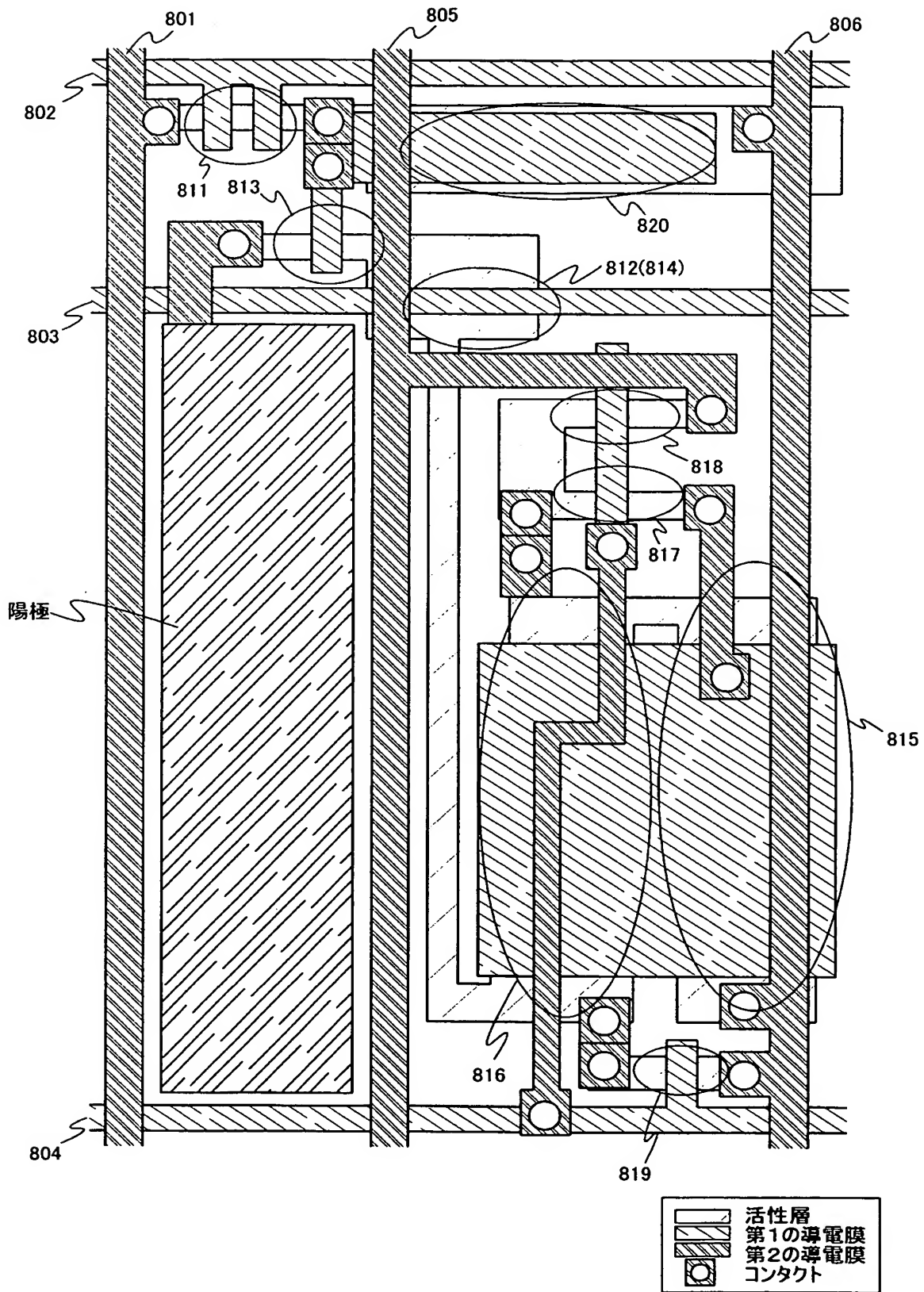
【図 15】



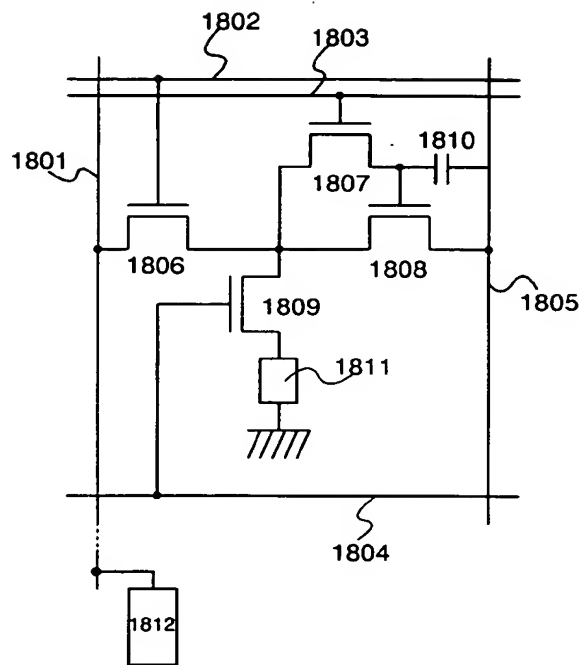
【図 16】



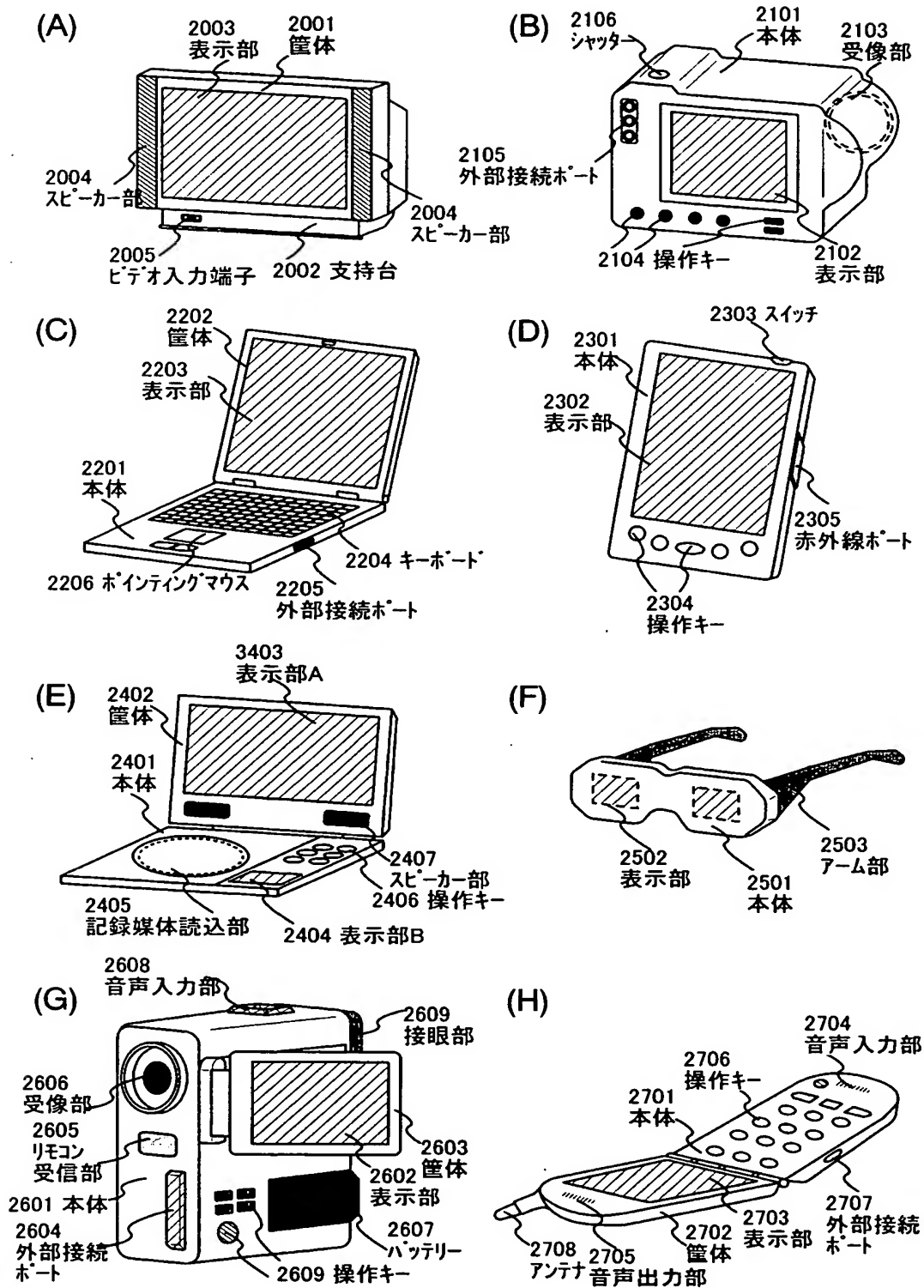
【図 17】



【図 18】

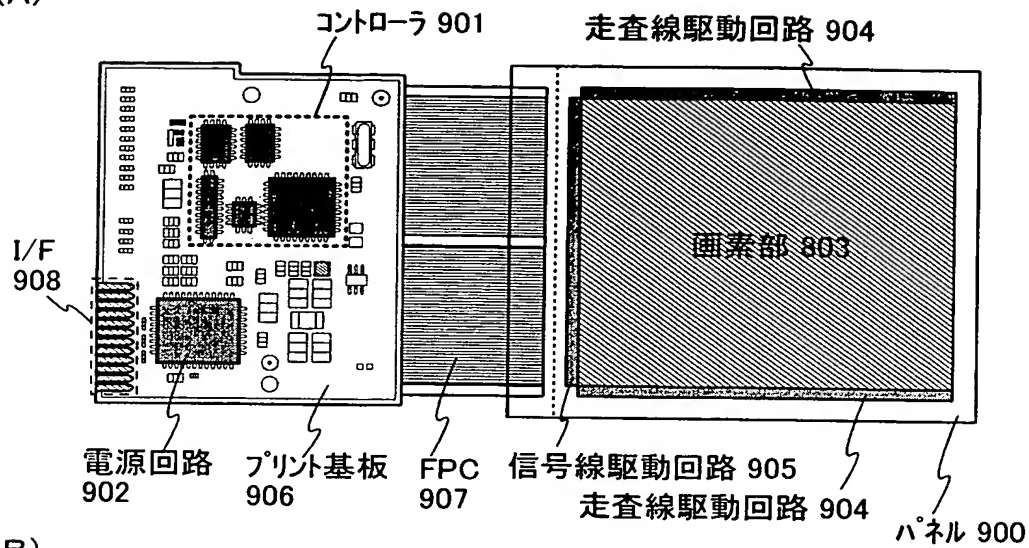


【図 19】

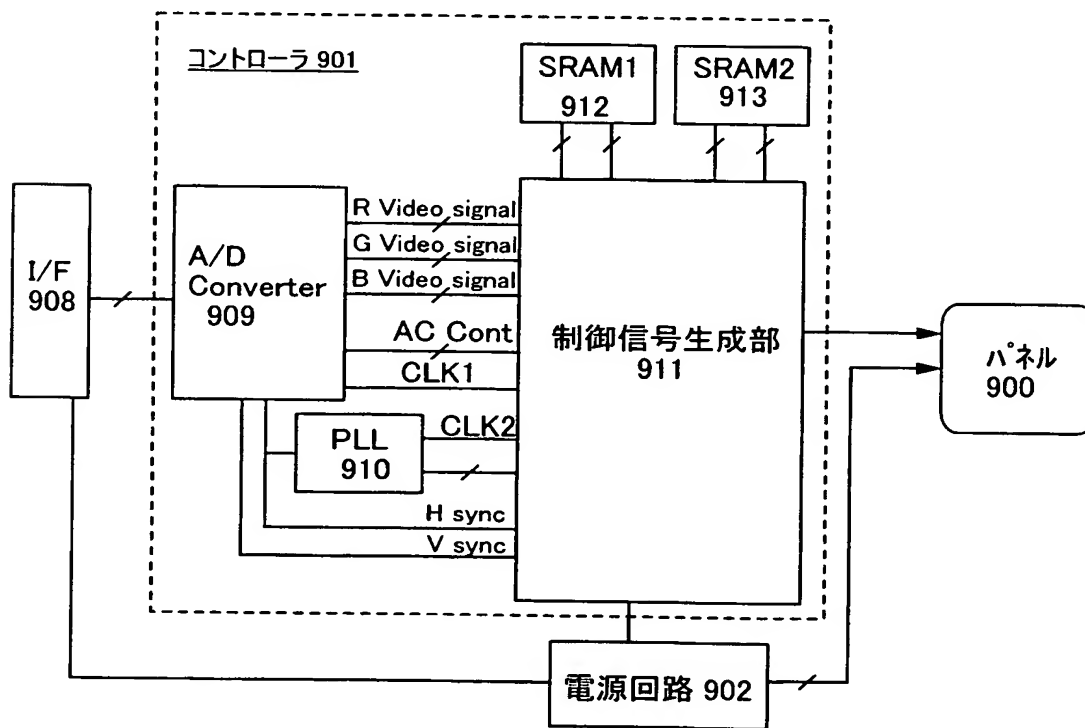


【図 20】

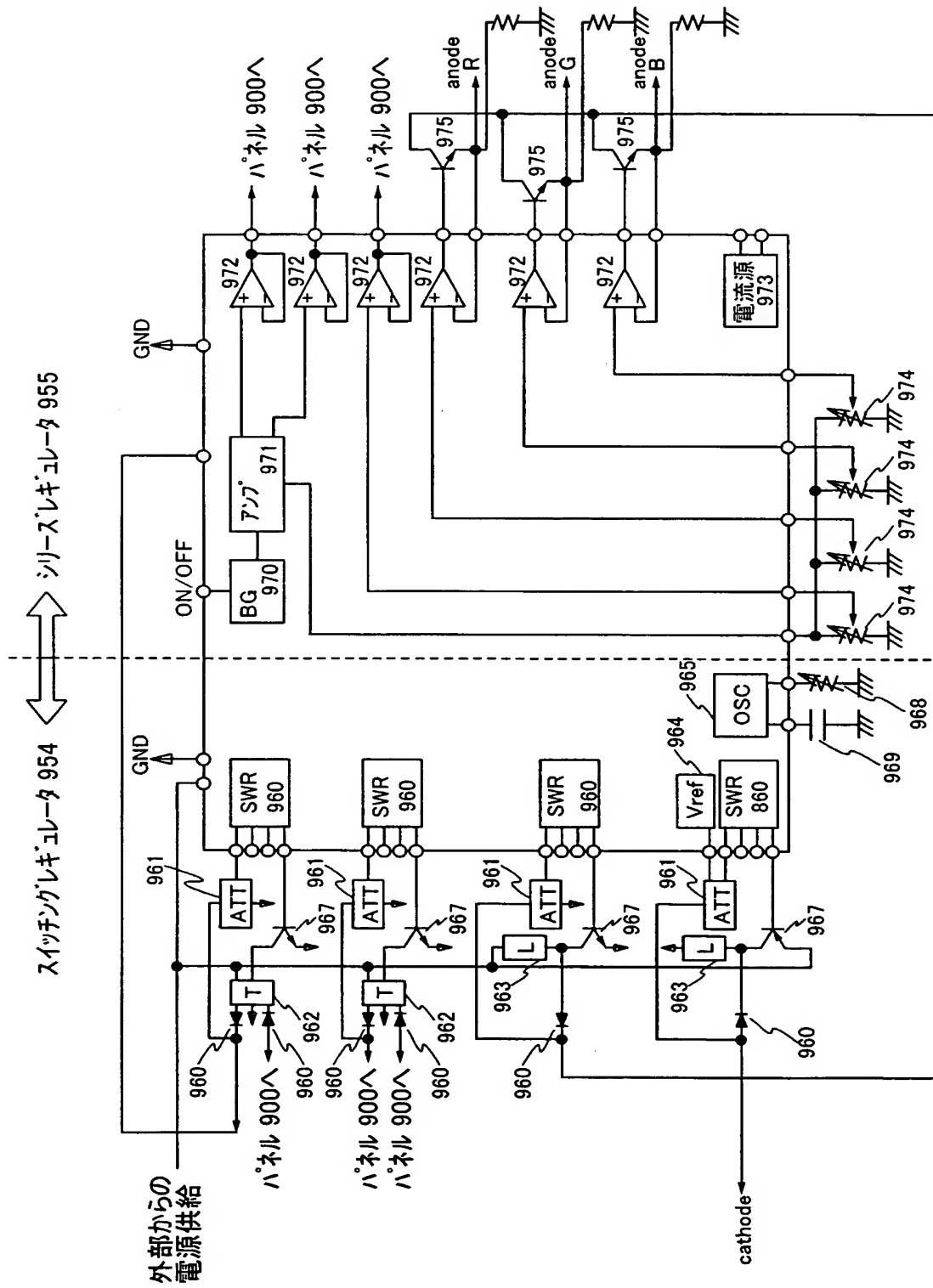
(A)



(B)

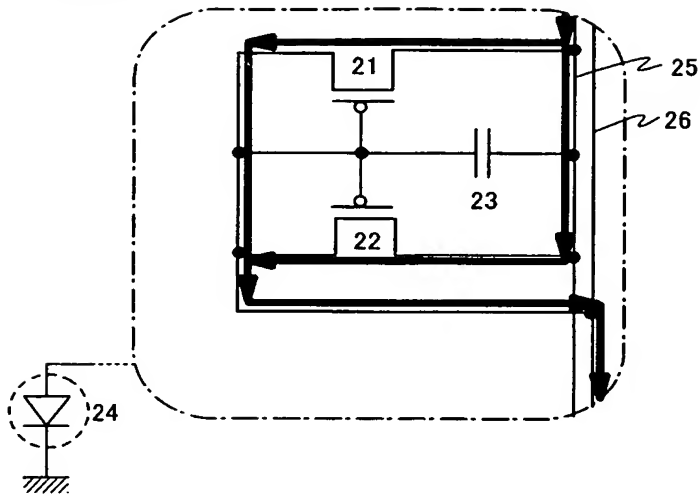


【図 21】

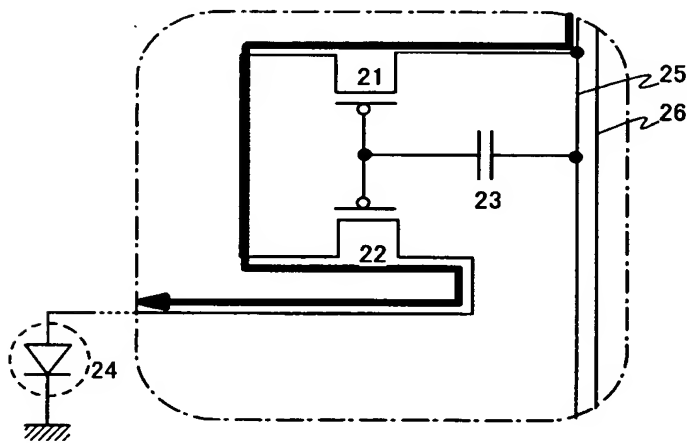


【図 22】

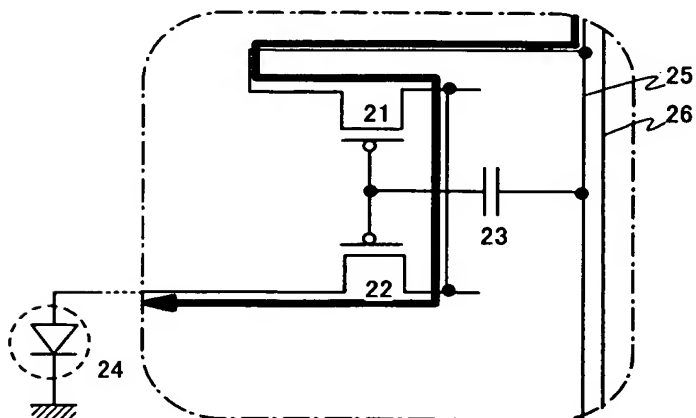
(i) 設定時



(ii) 発光時



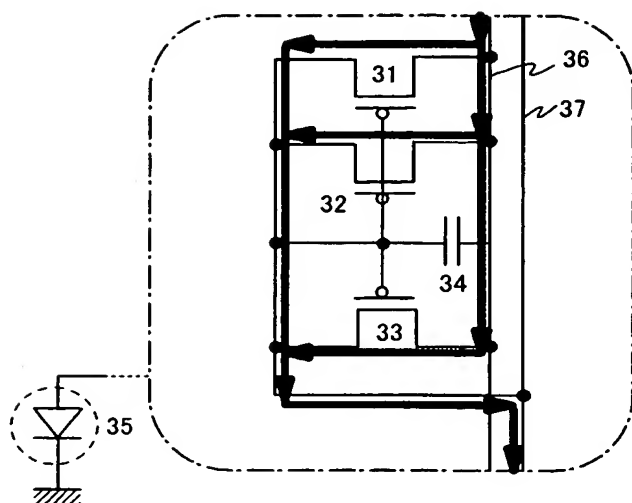
(iii) 発光時



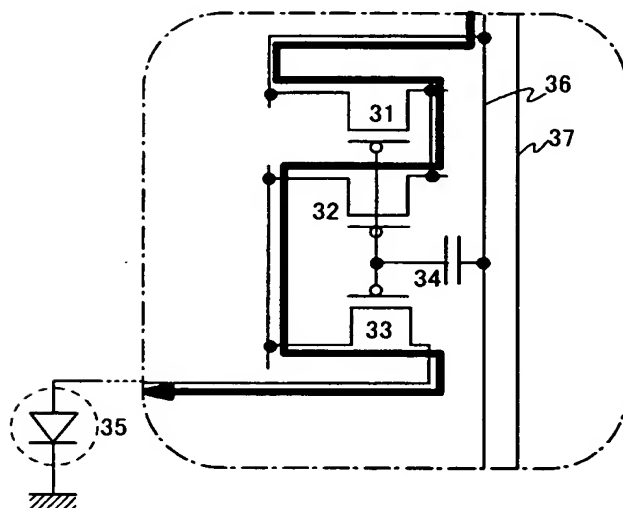


【図 2 3】

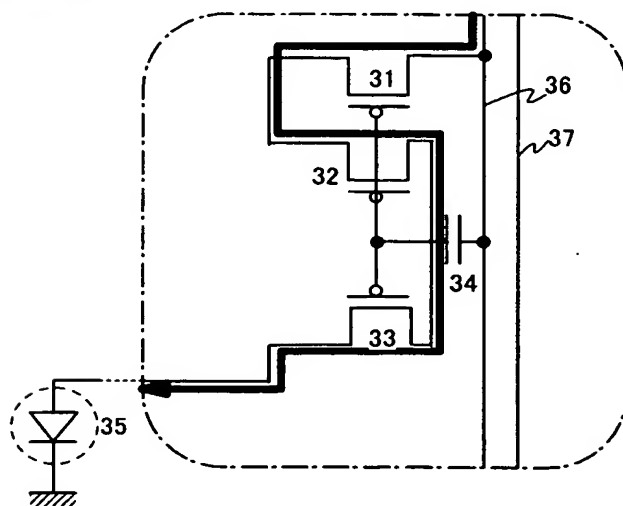
(i) 設定時



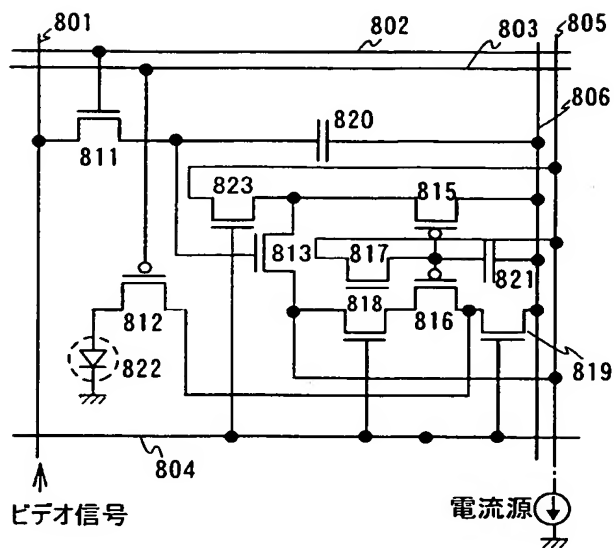
(ii) 発光時



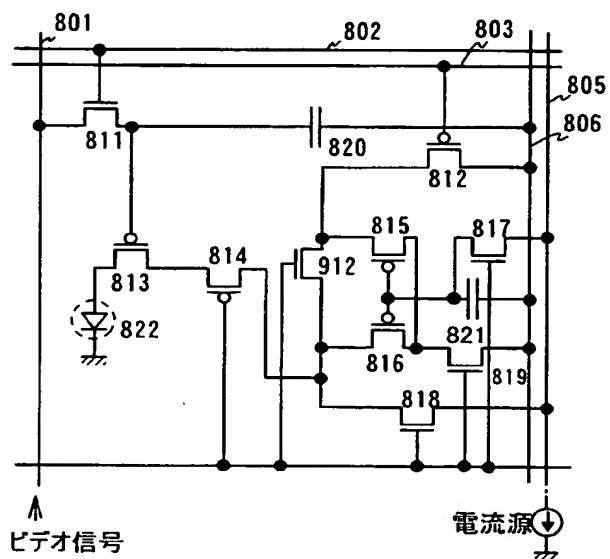
(iii) 発光時



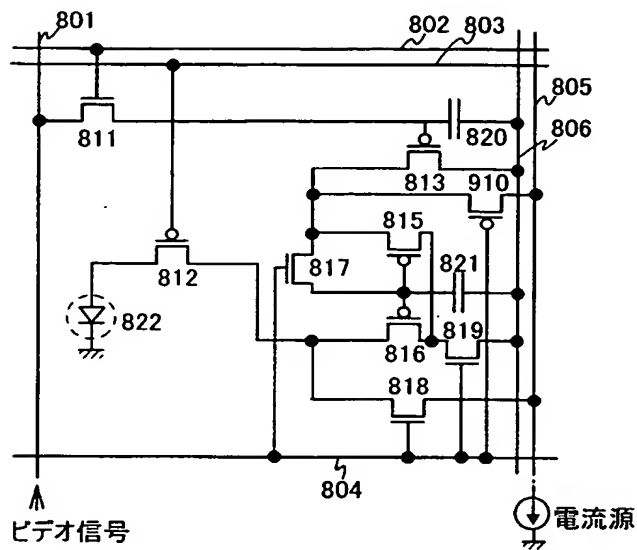
【図 2 4】



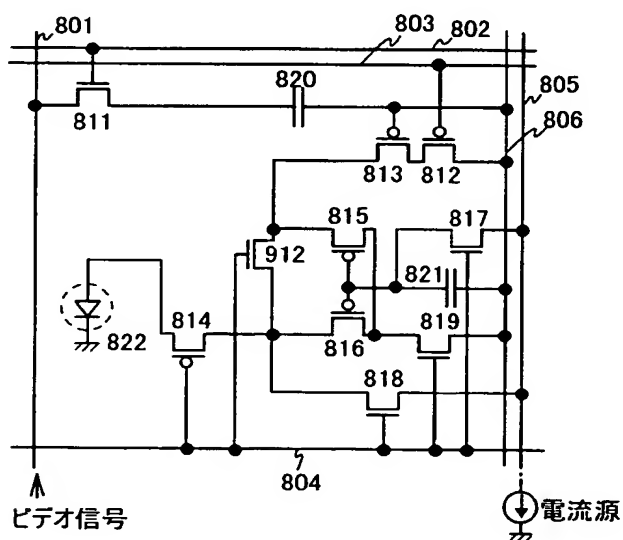
【図 2 5】



【図 26】



【図 27】



【書類名】 要約書

【要約】

【課題】 発光素子を備えた表示装置において、信号電流（ビデオ信号）はある程度大きな電流値としなければ、正確に設定動作を行うのに時間がかかってしまう。それに対して、発光素子を発光させるときの駆動電流は非常に小さな電流値であった。そのため、正確に設定動作を行うことが難しかった。

【解決手段】 本発明は、電流源回路を複数のトランジスタにより構成し、電流源回路への設定動作を行うときには複数のトランジスタを並列接続状態とし、発光素子を発光させるとときには複数のトランジスタを直列接続状態とする。本発明により、発光素子を劣化等一定の輝度で発光させることができ、電流源回路を設定するための電流値が発光素子を発光させるときの駆動電流より大きくできるため、設定動作速度を向上させることができる。

特願 2 0 0 2 - 2 5 6 0 0 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所